



PATENT  
Attorney Docket No.: SAM-0443  
Customer Number: 29344

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant(s): Jin-tae Joo  
Serial No.: 10/665,175  
Filing Date: September 18, 2003  
Title: CIRCUIT AND METHOD FOR REGENERATING RESET AND CLOCK SIGNALS AND HIGH-SPEED DIGITAL SYSTEM INCORPORATING THE SAME

Examiner: not yet assigned  
Group Art Unit: not yet assigned

CERTIFICATE OF MAILING UNDER 37 C.F.R. § 1.8

I hereby certify that this correspondence is being deposited with the United States Post Office as First Class Mail on the date indicated below in an envelope addressed to Commissioner for Patents, P.O. Box 1450, Alexandria, Virginia 22313-1450.

10-17-03

Date

  
Amy Green

Commissioner for Patents  
P.O. Box 1450  
Alexandria, Virginia 22313-1450

TRANSMITTAL LETTER

Sir:

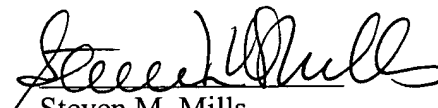
Enclosed herewith for filing in the above-identified patent application please find the following listed items:

1. Transmittal of Priority Document;
2. Certified Copy of Priority Document- Korean Application No. 2002-0080115; and
3. Return Postcard.

In connection with the foregoing matter, please charge any additional fees which may be due, or credit any overpayment, to Deposit Account Number 50-1798. A duplicate copy of this letter is provided for this purpose.

Respectfully submitted,

Date: 10/17/03  
Mills & Onello, LLP  
Eleven Beacon Street, Suite 605  
Boston, MA 02108  
Telephone: (617) 994-4900  
Facsimile: (617) 742-7774  
J:\SAM\0443\transprioritydoc.wpd

  
Steven M. Mills  
Registration Number 36,610  
Attorney for Applicant



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant(s): Jin-tae Joo  
Serial No.: 10/665,175  
Filing Date: September 18, 2003  
Title: CIRCUIT AND METHOD FOR REGENERATING RESET AND  
CLOCK SIGNALS AND HIGH-SPEED DIGITAL SYSTEM  
INCORPORATING THE SAME

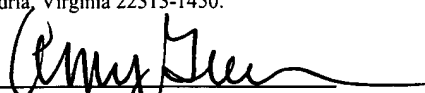
Examiner: not yet assigned  
Group Art Unit: not yet assigned

CERTIFICATE OF MAILING UNDER 37 C.F.R. § 1.8

I hereby certify that this correspondence is being deposited with the United States Post Office as First Class Mail on the date indicated below in an envelope addressed to Commissioner for Patents, P.O. Box 1450, Alexandria, Virginia 22313-1450.

10-17-03

Date

  
Amy Green

Commissioner for Patents  
P.O. Box 1450  
Alexandria, Virginia 22313-1450

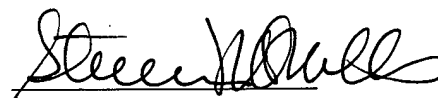
TRANSMITTAL OF PRIORITY DOCUMENT

Sir:

Transmittal herewith for filing in the captioned application is the certified copy of the Korean Priority document, Korean patent application 2002-0080115.

Respectfully submitted,

Date: 10/17/03  
Mills & Onello, LLP  
Eleven Beacon Street, Suite 605  
Boston, MA 02108  
Telephone: (617) 994-4900  
Facsimile: (617) 742-7774

  
Steven M. Mills  
Registration Number 36,610  
Attorney for Applicant

# 대한민국 특허청

## KOREAN INTELLECTUAL PROPERTY OFFICE

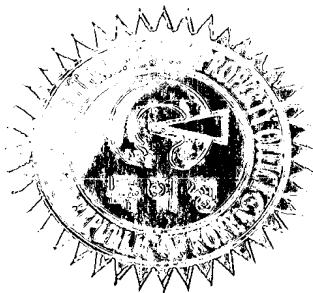
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 : 10-2002-0080115  
Application Number

출원년월일 : 2002년 12월 16일  
Date of Application DEC 16, 2002

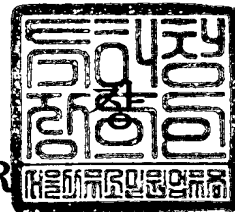
출원인 : 삼성전자주식회사  
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003      년      09      월      16      일

특      허      청

COMMISSIONER



## 【서지사항】

**【서류명】** 특허출원서  
**【권리구분】** 특허  
**【수신처】** 특허청장  
**【제출일자】** 2002. 12. 16  
**【발명의 명칭】** 리세트 및 클럭 재생성 회로를 갖는 반도체 장치, 그것을 포함  
한 고속 디지털 시스템, 그리고 리세트 및 클럭 재생성 방법  
**【발명의 영문명칭】** SEMICONDUCTOR DEVICE WITH RESET AND CLOCK REGENERATING  
CIRCUIT, HIGH-SPEED DIGITAL SYSTEM INCORPORATING THE SAME,  
AND METHOD OF REGENERATING RESET AND CLOCK SIGNALS  
**【출원인】**  
**【명칭】** 삼성전자 주식회사  
**【출원인코드】** 1-1998-104271-3  
**【대리인】**  
**【성명】** 임창현  
**【대리인코드】** 9-1998-000386-5  
**【포괄위임등록번호】** 1999-007368-2  
**【대리인】**  
**【성명】** 권혁수  
**【대리인코드】** 9-1999-000370-4  
**【포괄위임등록번호】** 1999-056971-6  
**【발명자】**  
**【성명의 국문표기】** 주진태  
**【성명의 영문표기】** JOO, JIN TAE  
**【주민등록번호】** 660915-1006113  
**【우편번호】** 442-390  
**【주소】** 경기도 수원시 팔달구 신동 영통3차 풍림아이원 아파트 101동  
1302호  
**【국적】** KR  
**【심사청구】** 청구  
**【취지】** 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의  
한 출원심사 를 청구합니다. 대리인  
임창현 (인) 대리인  
권혁수 (인)

**【수수료】**

【기본출원료】	20	면	29,000	원
【가산출원료】	32	면	32,000	원
【우선권주장료】	0	건	0	원
【심사청구료】	38	항	1,325,000	원
【합계】	1,386,000 원			
【첨부서류】	1. 위임장_1통			

**【요약서】****【요약】**

여기에 개시되는 반도체 장치는 복수 개의 플립-플롭들 및 리세트 및 클록 재생성 회로를 포함하며, 리세트 및 클록 재생성 회로는 외부 클록 신호와 외부 리세트 신호에 응답하여 플립-플롭들로 공급될 내부 클록 신호와 내부 리세트 신호를 발생한다. 특히, 리세트 및 클록 재생성 회로는 외부 리세트 신호가 비활성화된 후 소정 시간 동안 내부 클록 신호를 생성하는 것을 중지하고 내부 리세트 신호가 상기 소정 시간 내에 비활성화되게 한다. 이에 따라, 내부 리세트 신호의 비활성화 시점에 내부 클록 신호의 액티브 에지가 일치하지 않아 리세트 신호와 클록 신호 간의 타이밍 문제를 근본적으로 방지할 수 있다.

**【대표도】**

도 4

**【명세서】****【발명의 명칭】**

리세트 및 클록 재생성 회로를 갖는 반도체 장치, 그것을 포함한 고속 디지털 시스템, 그리고 리세트 및 클록 재생성 방법{SEMICONDUCTOR DEVICE WITH RESET AND CLOCK REGENERATING CIRCUIT, HIGH-SPEED DIGITAL SYSTEM INCORPORATING THE SAME, AND METHOD OF REGENERATING RESET AND CLOCK SIGNALS}

**【도면의 간단한 설명】**

도 1a는 일반적인 플립-플롭 회로를 보여주는 로직도;

도 1b는 도 1a에 도시된 플립-플롭에 사용되는 리세트 신호와 클록 신호간의 회복 시간을 설명하기 위한 타이밍도;

도 1c는 도 1a에 도시된 플립-플롭에 사용되는 리세트 신호와 클록 신호간의 제거 시간을 설명하기 위한 타이밍도;

도 2a는 일반적인 반도체 장치를 개략적으로 보여주는 블록도;

도 2b는 도 2a에 사용되는 신호들간의 지연 관계를 보여주는 타이밍도;

도 3은 본 발명에 따른 반도체 장치를 보여주는 블록도;

도 4는 본 발명의 바람직한 실시예에 따른 도 3의 리세트 및 클록 재생성 회로를 보여주는 블록도;

도 5a 내지 도 5c는 도 4에 도시된 비교기들의 바람직한 실시예를 보여주는 회로도;

도 6은 도 4에 도시된 지연 회로의 바람직한 실시예를 보여주는 회로도;

도 7은 도 4에 도시된 클록 마스킹 회로의 바람직한 실시예를 보여주는 회로도;

도 8은 본 발명에 따른 반도체 장치의 리세트 및 클록 재생성 회로의 동작을 설명하기 위한 흐름도;

도 9는 본 발명에 따른 반도체 장치의 리세트 및 클록 재생성 회로의 동작을 설명하기 위한 타이밍도;

도 10은 도 4의 지연 회로가 사용되지 않을 때 내부 클록 신호에 글리치가 생기는 것을 설명하기 위한 타이밍도;

도 11은 본 발명의 다른 실시예에 따른 반도체 장치를 보여주는 블록도; 그리고

도 12는 본 발명의 또 다른 실시예에 따른 고속 디지털 시스템을 보여주는 블록도이다.

**\* 도면의 주요 부분에 대한 부호 설명 \***

100, 200 : 반도체 장치    120, 160, 360 : 리세트 및 클록 재생성 회로

121 : 카운터    122, 123, 124 : 비교기

128 : 지연 회로    129 : 클록 마스킹 회로

#### 【발명의 상세한 설명】

#### 【발명의 목적】

#### 【발명이 속하는 기술분야 및 그 분야의 종래기술】

<20>    본 발명은 반도체 장치들에 관한 것으로, 좀 더 구체적으로는 외부로부터 리세트 및 클록 신호들을 공급받는 반도체 장치 및 그것을 포함하는 고속 디지털 시스템에 관한 것이다.

<21>    모든 디지털 시스템 설계에서 플립-플롭 회로들은 필수적인 구성 요소들이며, 거의 모든 집적 회로들에 사용된다. 플립-플롭 회로들은 디지털 회로에 의해서 수행되는 계산 결과인 데이터들을 저장하기 위해서 사용되거나, 몇몇 계산 방식을 이용하기 위해서 집적 회로 내의 데이



터를 순차적으로 배열하는 데 사용된다. 이진 플립-플롭들은 2가지의 가능한 신호 레벨들, 즉, 로직 로우 및 로직 하이로 저장하는 플립-플롭 회로들이다. 플립-플롭들에 인가된 모든 신호들은 앞서 언급된 2가지의 가능한 로직 레벨들을 갖는다. 그러한 플립-플롭의 일 예를 보여주는 회로도도 도 1a에 도시되어 있다.

<22> 도 1a를 참조하면, 일반적인 플립-플롭 회로 (도면에서 "FF"로 표기됨) (10)는 4개의 단자들, 즉, 데이터 입력 단자 (D), 클록 단자 (CK), 데이터 출력 단자 (Q), 그리고 리세트 단자 (RN)를 갖는다. 잘 알려진 바와 같이, 플립-플롭 회로 (10)은 클록 단자 (CK)에 인가되는 신호 (이하, "클록 신호"라 칭함)가 로우 레벨에서 하이 레벨로 천이할 때 데이터 입력 단자 (D)에 인가되는 신호를 래치한다. 플립-플롭 회로 (10)는 클록 단자 (CK)에 인가되는 신호가 하이 레벨에서 로우 레벨로 천이할 때 이전에 래치된 신호를 유지한다. 리세트 단자 (RN)에 인가되는 신호 (이하, "리세트 신호"라 칭함)이 활성화될 때, 플립-플롭 회로 (10)의 출력 (Q)은 로직 로우 레벨로 초기화된다.

<23> 일반적으로, 플립-플롭 회로는 아래의 타이밍 조건들이 만족되도록 설계되어야 한다. 첫 번째 타이밍 조건에 따르면, 리세트 단자 (RN)에 인가되는 리세트 신호가 비활성화되고 회복 시간 (recovery time,  $t_{RC}$ )이 경과한 후, 클록 신호 (CK)가 트리거되어야 한다. 여기서, 클록 신호 (CK)의 트리거는 클록 신호 (CK)의 로우-하이 천이 (low-to-high transition)를 의미한다. 두 번째 타이밍 조건에 따르면, 클록 신호 (CK)가 트리거되고 제거 시간 (removal time,  $t_{RM}$ )이 경과한 후, 리세트 신호가 비활성화되어야 한다.

<24> 리세트 단자 (RN)에 인가되는 리세트 신호가 비활성화되고 회복 시간 ( $t_{RC}$ )이 경과하기 이전에, 도 1b에 도시된 바와 같이, 클록 신호 (CK)가 트리거될 수 있다. 이러한 경우, 데이터 입력 단자 (D)에 인가되는 값이 올바르게 래치되는 것을 보장하기 어렵다. 마찬가지로, 클록

신호 (CK)가 트리거된 후, 도 1c에 도시된 바와 같이, 제거 시간 ( $t_{RM}$ )보다 짧은 시간 내에 리셋 신호가 비활성화될 수 있다. 이러한 경우, 역시, 데이터 입력 단자 (D)에 인가되는 값이 올바르게 래치되는 것을 보장하기 어렵다. 따라서, 리셋 신호의 비활성화 시점이 클럭 신호의 상승 에지 (rising edge) (또는, "포지티브-에지"라 칭함)와 일치하지 않도록 플립-플롭 회로를 설계하여야 한다.

<25> 앞서 설명된 타이밍 제약을 극복하기 위한 한 가지 설계 방법은 클럭 신호의 하강 에지 (falling edge) (또는, "네거티브-에지"라 칭함)에서 리셋 신호가 비활성화되도록 플립-플롭 회로를 설계하는 것이다. 이러한 방식에 따라 설계된 반도체 장치의 일 예가 도 2a에 도시되어 있다.

<26> 도 2a를 참조하면, 반도체 장치 (20)는 복수의 플립-플롭 회로들 (예를 들면, 반도체 장치 내에는 수천에서 수만 개의 플립-플롭 회로들이 존재할 수 있다)을 포함한다. 도 2a에는 단지 2개의 플립-플롭 회로들 (FF1, FF2)이 도시되어 있다. 플립-플롭 회로들 (FF1, FF2) 각각은 4개의 단자들, 즉, 데이터 입력 단자 (D), 클럭 단자 (CK), 데이터 출력 단자 (Q), 그리고 리셋 단자 (RN)를 갖는다. 플립-플롭 회로 (FF1)의 리셋 단자 (RN)에는 버퍼 (B1)를 통해 리셋 신호 (RESET)가 인가되고, 그것의 클럭 단자 (CK)에는 버퍼 (B2)를 통해 클럭 신호 (CLOCK)가 인가되며, 그것의 데이터 입력 단자 (D)에는 데이터 (DA)가 인가된다. 플립-플롭 회로 (FF2)의 리셋 단자 (RN)에는 버퍼들 (B1, B3, B4)을 통해 리셋 신호 (RESET)가 인가되고, 그것의 클럭 단자 (CK)에는 버퍼 (B2)를 통해 클럭 신호 (CLOCK)가 인가되며, 그것의 데이터 입력 단자 (D)에는 데이터 (DB)가 인가된다.

<27> 앞서의 설계 방식에 따라, 도 2b에 도시된 바와 같이, 리셋 신호 (RESET)가 클럭 신호 (CLOCK)의 하강 에지에서 비활성화된다. 첫 번째 플립-플롭 회로 (FF1)의 경우, 리셋 신호

(RESET1)의 비활성화 시점은 클록 신호 (CLOCK1)의 상승 에지와 일치하지 않는다. 이는 플립-플롭 회로 (FF1)가 정상적으로 데이터를 래치함을 의미한다. 반면에, 두 번째 플립-플롭 회로 (FF2)의 경우, 도 2b에서 점선으로 표시된 바와 같이, 리세트 신호 (RESET2)의 비활성화 시점은 클록 신호 (CLOCK2)의 상승 에지와 일치한다. 이는 플립-플롭 회로 (FF2)가 정상적으로 데이터를 래치하는 것을 보장할 수 없음을 의미한다. 왜냐하면, 반도체 장치 내에는 수천에서 수만 개의 플립-플롭 회로들이 분산되어 있기 때문이다. 즉, 클록 신호를 전송하기 위한 신호 라인에 의한 지연 시간이 리세트 신호를 전송하기 위한 신호 라인에 의한 지연 시간과 다르기 때문에, 리세트 신호의 비활성화 시점이 클록 신호의 상승 에지와 일치하는 플립-플롭 회로가 존재할 수 있다.

<28> 이러한 문제는 클록 및 리세트 신호들의 최대 지연 시간이 시스템 클록 신호의 반주기보다 크지 않도록 신호 경로를 설계함으로써 해결 가능하다. 하지만, 이러한 방식은 시스템 클록이 빨라질수록 설계에 부담이 된다. 즉, 리세트 신호 경로의 지연 시간을 줄이기 위해 다른 중요한 신호 경로를 우회시킴으로써 또 다른 타이밍 문제가 발생할 수 있다.

#### 【발명이 이루고자 하는 기술적 과제】

<29> 본 발명의 목적은 시스템 클록 속도에 관계없이 클록 신호와 리세트 신호간의 타이밍 마진을 확보할 수 있는 반도체 장치를 제공하는 것이다.

<30> 본 발명의 다른 목적은 시스템 클록 속도에 관계없이 클록 신호와 리세트 신호간의 타이밍 마진을 확보할 수 있는 리세트 및 클록 재생성 장치를 포함하는 고속 디지털 시스템을 제공하는 것이다.

<31> 본 발명의 또 다른 목적은 시스템 클록 속도에 관계없이 클록 신호와 리세트 신호간의 타이밍 마진을 확보할 수 있는 리세트 및 클록 재생성 방법을 제공하는 것이다.

**【발명의 구성 및 작용】**

<32> 상술한 제반 목적을 달성하기 위한 본 발명의 일 특징에 따르면, 복수 개의 플립-플롭들을 포함하는 반도체 장치가 제공된다. 반도체 장치는 외부 클록 신호와 외부 리세트 신호에 응답하여 상기 플립-플롭들로 공급될 내부 클록 신호와 내부 리세트 신호를 발생하는 리세트 및 클록 재생성 회로를 더 포함한다. 상기 리세트 및 클록 재생성 회로는 상기 외부 리세트 신호가 비활성화된 후 소정 시간 동안 상기 내부 클록 신호를 생성하는 것을 중지하고 상기 내부 리세트 신호가 상기 소정 시간 내에 비활성화되게 한다. 상기 소정 시간은 상기 외부 리세트 신호의 회복 시간과 제거 시간의 합보다 길다. 상기 내부 리세트 신호는 상기 소정 시간의 중간에 비활성화된다. 여기서, 상기 외부 클록 신호는 상기 내부 클록 신호의 주기와 동일한 주기를 갖는다.

<33> 본 발명의 다른 특징에 따르면, 외부 클록 신호와 외부 리세트 신호를 공급받는 반도체 장치는 각각이 적어도 하나의 플립-플롭을 갖는 기능 블록들과; 상기 외부 리세트 신호에 응답하여 상기 각 기능 블록의 플립-플롭에 공급될 내부 리세트 신호를 발생하는 내부 리세트 발생 회로와; 상기 외부 클록 신호 및 상기 외부 리세트 신호를 받아들이고, 상기 외부 리세트 신호가 비활성화된 후 소정 시간 동안 상기 내부 클록 신호를 생성하는 것을 중지하게 하는 클록 차단 신호를 발생하는 타이밍 제어 회로와; 그리고 상기 외부 클록 신호 및 상기 클록 차단 신호에 응답하여 상기 각 기능 블록의 플립-플롭에 공급될 내부 클록 신호를 발생하는 내부 클록 발생 회로를 포함한다. 이 실시예에 있어서, 상기 내부 클록 발생 회로는 상기 클록 차단 신호의 활성화 구간 동안 상기 내부 클록 신호를 생성하는 것을 중지한다. 상기 내부 리세트

신호는 상기 클록 차단 신호의 활성화 구간 내에서 비활성화된다. 여기서, 상기 클록 차단 신호의 활성화 구간은 상기 외부 리세트 신호의 회복 시간과 제거 시간의 합보다 길다. 특히, 상기 내부 리세트 신호는 상기 클록 차단 신호의 활성화 구간의 중간에 비활성화된다.

<34> 본 발명의 바람직한 실시예에 있어서, 상기 내부 클록 발생 회로는 상기 외부 리세트 신호가 비활성화되고 소정 시간이 경과한 후 상기 내부 클록 신호를 생성하는 것을 중지한다.

<35> 본 발명의 또 다른 특징에 따르면, 고속 반도체 장치는 각각이 적어도 하나의 플립-플롭을 갖는 기능 블록들과; 외부 리세트 신호가 비활성화될 때 외부 클록 신호에 동기되어 카운트 동작을 수행하는 카운터와; 상기 카운터의 출력값, 상기 외부 리세트 신호 그리고 상기 외부 클록 신호를 공급받고 상기 각 기능 블록의 플립-플롭에 공급될 내부 리세트 신호를 발생하되, 상기 내부 리세트 신호는 상기 카운터의 출력값이 제 1 기준값과 일치할 때 비활성화되는 내부 리세트 발생 회로와; 상기 카운터의 출력값, 상기 외부 클록 신호의 상보 신호, 그리고 상기 외부 리세트 신호에 응답하여 클록 차단 신호를 발생하되, 상기 클록 차단 신호는 상기 비교기의 출력값이 상기 제 1 기준값보다 작은 제 2 기준값에 도달할 때 활성화되고 상기 비교기의 출력값이 상기 제 1 기준값보다 큰 제 3 기준값에 도달할 때 비활성화되는 클록 차단 신호 발생 회로; 그리고 상기 외부 클록 신호와 상기 클록 차단 신호에 응답하여 상기 각 기능 블록의 플립-플롭에 공급될 내부 클록 신호를 발생하되, 상기 내부 클록 신호의 생성은 상기 클록 차단 신호의 활성화 구간 동안 중지되는 내부 클록 발생 회로를 포함한다. 이에 따라, 상기 내부 리세트 신호의 비활성화 시점은 상기 내부 클록 신호의 액티브 에지와 일치하지 않는다. 상기 클록 차단 신호는 지연 회로를 통해 소정 시간 지연되며, 상기 지연 회로의 지연 시간은 상기 외부 클록 신호의 1/4 주기에 대응한다.

- <36>        상기 제 1 내지 제 3 기준값들은 레지스터에 저장되며, 상기 레지스터 내의 상기 제 1 내지 제 3 기준값들은 상기 외부 클록 신호의 동작 주파수에 따라 가변 가능하다. 또는, 상기 제 1 내지 제 3 기준값들은 외부로부터 제공될 수 있다.
- <37>        본 발명의 바람직한 실시예에 있어서, 상기 내부 리셋 발생 회로는 비교기를 포함하며, 상기 비교기는 상기 카운터의 출력값이 상기 제 1 기준값과 일치하는지의 여부를 판별한다. 상기 비교기는 상기 외부 리셋 신호의 활성화에 응답하여 초기화된다.
- <38>        본 발명의 바람직한 실시예에 있어서, 상기 클록 차단 신호 발생 회로는 상기 카운터의 출력값이 상기 제 2 기준값과 일치하는지의 여부를 판별하는 1 비교기와; 상기 카운터의 출력값이 상기 제 2 기준값과 일치하는지의 여부를 판별하는 제 2 비교기와; 상기 제 1 비교기의 출력을 반전시키는 인버터와; 그리고 상기 인버터의 출력 및 상기 제 2 비교기의 출력에 응답하여 상기 클록 차단 신호를 출력하여 오어 게이트를 포함한다. 상기 제 1 및 제 2 비교기들은 상기 외부 리셋 신호의 활성화에 응답하여 초기화된다.
- <39>        본 발명의 또 다른 특징에 따르면, 고속 디지털 시스템은 각각이 적어도 하나의 플립-플롭을 갖는 복수의 기능 블록들과; 외부 클록 신호 및 외부 리셋 신호에 응답하여 상기 기능 블록들 각각의 플립-플롭에 공급될 내부 클록 신호 및 내부 리셋 신호를 발생하는 리셋 및 클록 재생성 장치와; 그리고 상기 기능 블록들로 상기 내부 클록 신호 및 상기 내부 리셋 신호를 각각 전달하는 제 1 및 제 2 신호 라인들을 포함한다. 특히, 상기 리셋 및 클록 재생성 장치는 상기 외부 리셋 신호에 응답하여 상기 각 기능 블록의 플립-플롭에 공급될 내부 리셋 신호를 발생하는 내부 리셋 발생 회로와; 상기 외부 클록 신호 및 상기 외부 리셋 신호를 받아들이고, 상기 외부 리셋 신호가 비활성화된 후 소정 시간 동안 활성화되도록 클록 차단 신호를 발생하는 타이밍 제어 회로와; 그리고 상기 외부 클록 신호 및 상기 클록 차단 신

호에 응답하여 상기 각 기능 블록의 플립-플롭에 공급될 내부 클록 신호를 발생하는 내부 클록 발생 회로를 포함한다. 여기서, 상기 내부 클록 발생 회로는 상기 클록 차단 신호의 활성화 구간 동안 상기 내부 클록 신호를 생성하는 것을 중지하고, 상기 내부 리세트 신호는 상기 클록 차단 신호의 활성화 구간 내에서 비활성화된다.

<40> 본 발명의 또 다른 특징에 따르면, 고속 디지털 시스템은 각각이 적어도 하나의 플립-플롭을 갖는 복수의 기능 블록들과; 외부 클록 신호 및 외부 리세트 신호에 응답하여 상기 기능 블록들 각각의 플립-플롭에 공급될 내부 클록 신호 및 내부 리세트 신호를 발생하는 리세트 및 클록 재생성 장치와; 그리고 상기 기능 블록들로 상기 내부 클록 신호 및 상기 내부 리세트 신호를 각각 전달하는 제 1 및 제 2 신호 라인들을 포함한다. 특히, 상기 리세트 및 클록 재생성 장치는 상기 외부 리세트 신호가 비활성화될 때 상기 외부 클록 신호에 동기되어 카운트 동작을 수행하는 카운터와; 상기 카운터의 출력값, 상기 외부 리세트 신호 그리고 상기 외부 클록 신호를 공급받고 상기 각 기능 블록의 플립-플롭에 공급될 내부 리세트 신호를 발생하되, 상기 내부 리세트 신호는 상기 카운터의 출력값이 제 1 기준값과 일치할 때 비활성화되는 내부 리세트 발생 회로와; 상기 카운터의 출력값, 상기 외부 클록 신호의 상보 신호, 그리고 상기 외부 리세트 신호에 응답하여 클록 차단 신호를 발생하되, 상기 클록 차단 신호는 상기 비교기의 출력값이 상기 제 1 기준값보다 작은 제 2 기준값에 도달할 때 활성화되고 상기 비교기의 출력값이 상기 제 1 기준값보다 큰 제 3 기준값에 도달할 때 비활성화되는 클록 차단 신호 발생 회로; 그리고 상기 외부 클록 신호와 상기 클록 차단 신호에 응답하여 상기 각 기능 블록의 플립-플롭에 공급될 내부 클록 신호를 발생하되, 상기 내부 클록 신호의 생성은 상기 클록 차단 신호의 활성화 구간 동안 중지되는 내부 클록 발생 회로를 포함한다. 이에 따라, 상기 내부 리세트 신호의 비활성화 시점은 상기 내부 클록 신호의 액티브 에지와 일치하지 않는다. 상기 클

록 차단 신호는 지연 회로를 통해 지연될 수 있다. 이때, 상기 지연 회로의 지연 시간은 상기 외부 클록 신호의 1/4 주기에 대응한다.

<41> 본 발명의 또 다른 특징에 따르면, 리세트 및 클록 재생성 방법은 외부 클록 신호 및 외부 리세트 신호에 응답하여 내부 클록 신호 및 내부 리세트 신호를 발생하는 단계와; 상기 외부 리세트 신호가 비활성화되었는 지의 여부를 판별하는 단계와; 상기 외부 리세트 신호가 비활성화될 때 상기 내부 클록 신호를 발생하는 것을 중지하는 단계와; 소정 시간 후에 상기 내부 리세트 신호를 비활성화시키는 단계와; 소정 시간 후에 상기 내부 클록 신호의 생성을 재개하는 단계를 포함하고, 이에 따라 상기 내부 리세트 신호의 비활성화 시점은 상기 내부 클록 신호의 액티브 에지와 일치하지 않는다.

<42> 이하, 본 발명의 바람직한 실시예가 참조도면들에 의거하여 상세히 설명될 것이다.

<43> 본 발명에 따른 반도체 장치를 보여주는 블록도가 도 3에 도시되어 있다. 도 3을 참조하면, 본 발명의 반도체 장치 (100)는 외부 클록 신호 (예를 들면, 시스템 클록 신호) (XCLK)와 외부 리세트 신호 (XRST)를 공급받는다. 외부 리세트 신호 (XRST)는 반도체 장치 (100) 내의 메모리 소자들 (예를 들면, 플립-플롭들)을 초기화하는 데 사용된다. 반도체 장치 (100)는 입력 단자들 (101, 102)에 연결된 리세트 및 클록 재생성 회로 (reset and clock regenerator circuit) (120)를 포함한다. 입력 단자 (101)에는 외부 클록 신호 (XCLK)가 인가되고, 입력 단자 (102)에는 외부 리세트 신호 (XRST)가 인가된다. 리세트 및 클록 재생성 회로 (120)는 외부 클록 신호 (XCLK)와 외부 리세트 신호 (XRST)에 응답하여 내부 클록 신호 (CLK\_IN)와 내부 리세트 신호 (RST\_IN)를 발생한다. 여기서, 외부 클록 신호 (XCLK)와 내부 클록 신호 (CLK\_IN)는 동일한 주기를 갖는다.



<44> 리세트 및 클록 재생성 회로 (120)에서 생성되는 내부 클록 신호 (CLK\_IN)와 내부 리세트 신호 (RST\_IN)는 신호 라인들 (103, 104)을 통해 각각 전달된다. 신호 라인들 (103, 104)에는 복수 개의 플립-플롭들 (FF10-FF12)이 연결되어 있다. 플립-플롭들 (FF10-FF12) 각각은 4개의 단자들, 즉, 내부 회로 블록 (internal circuit block) (140)으로 데이터를 받아들이는 데이터 입력 단자 (D), 신호 라인 (103)에 연결되는 클록 단자 (CK), 신호 라인 (104)에 연결되는 리세트 단자 (RN), 그리고 내부 회로 블록으로 래치된 데이터를 출력하는 데이터 출력 단자 (Q)를 갖는다. 도 3은 단지 플립-플롭들 (FF10-FF12)이 내부 회로 블록 (140)과 통신하는 실시예를 보여주고 있지만, 일부 플립-플롭들이 데이터 입출력 단자들 (미도시됨)을 통해 외부와 통신할 수 있음은 이 분야의 통상적인 지식을 습득한 자들에게 자명하다.

<45> 본 발명에 따른 리세트 및 클록 재생성 회로 (120)는 외부 리세트 신호 (XRST)가 비활성화되고 소정 시간이 경과한 후 내부 클록 신호 (CLK\_IN)를 생성하는 것을 중지한다. 이와 동시에, 리세트 및 클록 재생성 회로 (120)는 내부 리세트 신호 (RST\_IN)가 내부 클록 신호 (CLK\_IN)가 생성되지 않는 구간 내에서 비활성화되게 한다. 이는 내부 리세트 신호 (RST\_IN)의 비활성화 시점이 내부 클록 신호 (CLK\_IN)의 액티브 에지 (즉, 상승 에지 또는 포지티브-에지)와 일치하지 않음을 의미한다. 따라서, 본 발명에 따른 리세트 및 클록 재생성 회로 (120)를 통해 생성되는 내부 클록 신호 (CLK\_IN) 및 내부 리세트 신호 (RST\_IN)를 공급받는 플립-플롭들 (FF10-FF12)는 안정적으로 데이터를 래치할 수 있다.

<46> 여기서, 내부 클록 신호 (CLK\_IN)가 생성되지 않는 구간은 조절 가능하다. 내부 클록 신호 (CLK\_IN) 및 내부 리세트 신호 (RST\_IN)의 최대 지연 시간과 클록 주파수를 고려하여 그 구간 (내부 클록 신호가 생성되지 않는 구간)을 조절함으로써, 외부 클록 신호 (XCLK)의 주기 (

주파수 또는 속도)에 관계없이 내부 클록 신호와 내부 리세트 신호간의 타이밍 문제를 쉽게 해결할 수 있다.

<47> 도 4는 본 발명의 바람직한 실시예에 따른 리세트 및 클록 재생성 회로를 보여주는 블록도이다. 도 4를 참조하면, 리세트 및 클록 재생성 회로 (120)는 카운터 (121), 3개의 비교기들 (122, 123, 124), 인버터들 (125, 126), 오어 게이트 (127), 지연 회로 (128), 그리고 클록 마스킹 회로 (clock masking circuit) (129)를 포함한다.

<48> 카운터 (121)는 외부 클록 신호 (XCLK)와 외부 리세트 신호 (XRST)에 응답하여 동작한다. 예를 들면, 외부 리세트 신호 (XRST)가 비활성화될 때, 카운터 (121)는 외부 클록 신호 (XCLK)에 동기되어 카운트 동작을 수행한다. 카운터 (121)는 출력값 (CNT[i:0])이 미리 설정된 값에 도달할 때까지 카운트 동작을 수행한다. 카운터 (121)의 출력값 (CNT[i:0])은 비교기들 (122, 123, 124)에 각각 공급된다. 이 실시예에 있어서, 카운터 (121)는 4-비트 카운터로 구성된다. 하지만, 본 발명의 카운터 (121)가 4-비트 카운터에 국한되지 않음은 이 분야의 통상적인 지식을 습득한 자들에게 자명하다.

<49> 비교기 (122)는 외부 리세트 신호 (XRST), 외부 클록 신호 (XCLK), 기준값 (B[i:0]), 그리고 카운터 (121)의 출력값 (CNT[i:0])을 공급받는다. 비교기 (122)의 출력 신호 (즉, 내부 리세트 신호 (RST\_IN))는 외부 리세트 신호 (XRST)가 활성화될 때 로직 로우 레벨로 초기화된다. 즉, 비교기 (122)로부터 출력되는 내부 리세트 신호 (RST\_IN)는 외부 리세트 신호 (XRST)의 활성화에 동기되어 활성화된다. 비교기 (122)는 카운터 (121)의 출력값 (CNT[i:0])이 기준값 (B[i:0])과 일치하는지의 여부를 판별한다. 카운터 (121)의 출력값 (CNT[i:0])이 기준값 (B[i:0])과 일

치할 때, 비교기 (122)의 출력 신호, 즉, 내부 리세트 신호 (RST\_IN)는 비활성화된다. 내부 리세트 신호 (RST\_IN)는 외부 리세트 신호 (XRST)의 활성화에 동기되어 활성화된다. 이후, 비록 외부 리세트 신호 (XRST)가 비활성화되더라도, 내부 리세트 신호 (RST\_IN)는 비활성화되지 않는다. 내부 리세트 신호 (RST\_IN)는 외부 리세트 신호 (XRST)가 비활성화되고 소정 시간이 경과한 후 비활성화된다.

<50> 여기서, 소정 시간은 카운터 (121)가 외부 클록 신호 (XCLK)에 동기되어 "0"에서 "B[i:0]"까지 카운트 동작을 수행하는 걸리는 시간이다.

<51> 비교기들 (123, 124)은 인버터 (125)를 통해 전달되는 외부 클록 신호 (XCLK)의 상보 클록 신호 (XCLKB)에 동기되어 동작하며, 외부 리세트 신호 (XRST)의 비활성화에 의해서 초기화된다. 초기화될 때, 비교기들 (123, 124)의 출력들 (COMP1, COMP2)은 로직 로우 레벨을 갖는다.

<52> 비교기 (123)는 카운터 (121)의 출력값 (CNT[i:0])이 기준값 (A[i:0])에 도달하였는지의 여부를 판별한다. 카운터 (121)의 출력값 (CNT[i:0])이 기준값 (A[i:0])보다 작을 때, 비교기 (123)의 출력 (COMP1)은 초기화 상태 (즉, 로직 로우 레벨)를 유지한다. 카운터 (121)의 출력값 (CNT[i:0])이 기준값 (A[i:0])에 도달할 때, 비교기 (123)의 출력 (COMP1)은 로직 로우 레벨에서 로직 하이 레벨로 천이한다. 비교기 (124)는 카운터 (121)의 출력값 (CNT[i:0])이 기준값 (C[i:0])에 도달하였는지의 여부를 판별한다. 카운터 (121)의 출력값 (CNT[i:0])이 기준값 (C[i:0])보다 작을 때, 비교기 (124)의 출력 (COMP2)은 초기화 상태 (즉, 로직 로우 레벨)를 유지한다. 카운터 (121)의 출력값 (CNT[i:0])이 기준값 (C[i:0])에 도달할 때, 비교기 (124)의 출력 (COMP2)은 로직 로우 레벨에서 로직 하이 레벨로 천이한다.

<53>       비교기 (123)의 출력 신호 (COMP1)는 인버터 (126)를 통해 오어 게이트 (127)의 일 입력 단자에 인가되고, 비교기 (124)의 출력 신호 (COMP2)는 오어 게이트 (127)의 다른 입력 단자에 인가된다. 오어 게이트 (127)는 입력 신호들을 조합하여 클록 차단 신호 (MASK)를 출력한다. 앞서의 설명에 따르면, 클록 차단 신호 (MASK)는 카운터 (121)의 출력값 (CNT[i:0])이 기준값 (A[i:0])보다 작을 때 로직 하이 레벨을 갖는다. 클록 차단 신호 (MASK)는 카운터 (121)의 출력값 (CNT[i:0])이 기준값 (A[i:0])보다 크고 기준값 (C[i:0])보다 작을 때 로직 하이 레벨에서 로직 로우 레벨로 천이한다 (즉, 활성화된다). 클록 차단 신호 (MASK)는 카운터 (121)의 출력값 (CNT[i:0])이 기준값 (C[i:0])보다 클 때 로직 로우 레벨에서 로직 하이 레벨로 천이한다 (또는 비활성화된다). A[i:0], CNT[i:0], 그리고 C[i:0] 값들에 따른 클록 차단 신호 (MASK)의 로직 상태는 아래와 같다.

<54>   【표 1】

	COMP1	COMP2	MASK
A > CNT	L	L	H
A < CNT < C	H	L	L
C > CNT	H	H	H

<55>       이 실시예에 있어서, 비교기 (122)의 기준값 (B[i:0])은 비교기 (123)의 기준값 (A[i:0])보다 크고 비교기 (124)의 기준값 (C[i:0])보다 작다. 예를 들면, 기준값 (B[i:0])은  $(A[i:0] + C[i:0])/2$ 의 값을 갖도록 설정될 것이다. 기준값들 (A[i:0], B[i:0], C[i:0])은 외부에서 직접 제공될 수 있다. 또는, 기준값들 (A[i:0], B[i:0], C[i:0])은 미리 반도체 장치 (100) 내의 레지스터 내에 저장될 수 있다. 이는 기준값들 (A[i:0], B[i:0], C[i:0])이 가변가능함을 의미한다. 이는 이후 상세히 설명될 것이다.

<56> 계속해서 도 4를 참조하면, 지연 회로 (128)는 클록 차단 신호 (MASK)를 소정 시간 지연시킨다. 이 실시예에 있어서, 바람직하게, 클록 차단 신호 (MASK)는 외부 클록 신호 (XCLK)의 1/4주기만큼 지연된다. 지연 회로 (128)의 지연 시간은 외부 클록 신호 (XCLK)의 반주기 이내에서 결정되어야 하며, 이는 클록 마스킹 회로 (129)로부터 출력되는 내부 클록 신호 (CLK\_IN)의 글리치 현상을 방지하기 위한 것이다. 이는 이후 상세히 설명될 것이다. 클록 마스킹 회로 (129)는 지연 회로 (128)로부터 출력되는 지연된 클록 차단 신호 (MASK\_DLY)가 비활성화되는 동안 (즉, 클록 차단 신호의 하이 레벨 구간 동안) 외부 클록 신호 (XCLK)에 응답하여 내부 클록 신호 (CLK\_IN)를 발생한다. 클록 마스킹 회로 (129)는 지연 회로 (128)로부터 출력되는 지연된 클록 차단 신호 (MASK\_DLY)가 활성화되는 동안 (즉, 클록 차단 신호의 로우 레벨 구간 동안) 내부 클록 신호 (CLK\_IN)를 생성하는 것을 중지한다.

<57> 이 실시예에 있어서, 비교기 (122)는 내부 리세트 신호 (RST\_IN)를 발생하는 내부 리세트 발생 회로를 구성하고, 클록 마스킹 회로 (129)는 내부 클록 신호 (CLK\_IN)를 발생하는 내부 클록 발생 회로를 구성한다. 카운터 (121), 비교기들 (123, 124), 인버터 (126), 그리고 오어 게이트 (127)는 클록 차단 신호 (MASK)를 발생하는 타이밍 제어 회로를 구성한다.

<58> 앞서 설명된 바와 같이, 비교기 (122)의 기준값 ( $B[i:0]$ )이 비교기 (123)의 기준값 ( $A[i:0]$ )보다 크고 비교기 (124)의 기준값 ( $C[i:0]$ )보다 작기 때문에, 내부 리세트 신호 (RST\_IN)는 지연된 클록 차단 신호 (MASK\_DLY)의 활성화 구간 내에서 비활성화된다. 즉, 카운터 (121)의 출력값 ( $CNT[i:0]$ )이 비교기 (123)의 기준값 ( $A[i:0]$ )에 도달할 때 지연된 클록 차단 신호 (MASK\_DLY)는 활성화된다. 이에 따라, 내부 클록 신호 (CLK\_IN)의 생성이 중지된다. 그 다음에, 카운터 (121)의 출력값 ( $CNT[i:0]$ )이 비교기 (122)의 기준값 ( $B[i:0]$ )에 도달할 때, 내부 리세트 신호 (RST\_IN)가 비활성화된다. 마지막으로, 카운터 (121)의 출력값 ( $CNT[i:0]$ )

이 비교기 (124)의 기준값 (C[i:0])에 도달할 때, 지연된 클록 차단 신호 (MASK\_DLY)는 비활성화된다. 클록 마스킹 회로 (129)는 지연된 클록 차단 신호 (MASK\_DLY)의 비활성화에 응답하여 내부 클록 신호 (CLK\_IN)의 생성을 재개한다. 결과적으로, 내부 리세트 신호 (RST\_IN)의 비활성화 시점이 내부 클록 신호 (CLK\_IN)의 액티브 에지 (즉, 상승 에지)와 일치하는 것을 방지할 수 있다.

<59> 이 실시예에 있어서, 바람직하게, 내부 리세트 신호 (RST\_IN)는 지연된 클록 차단 신호 (MASK\_DLY)의 활성화 구간의 중간에 비활성화된다.

<60> 도 5a는 도 4에 도시된 비교기 (122)의 바람직한 실시예를 보여주는 회로도이다. 도 5a를 참조하면, 비교기 (122)는 4개의 배타적 노어 게이트들 (exclusive NOR gates, 이하 "XNOR 게이트"라 칭함) (G1, G2, G3, G4), 2개의 낸드 게이트들 (G5, G6), 그리고 하나의 플립-플롭 (FF13)을 포함한다. 각 XNOR 게이트는 기준값의 대응하는 비트와 카운터 (121)의 출력값의 대응하는 비트를 받아들인다. 예를 들면, XNOR 게이트 (G1)는 기준값 (B[3:0])의 B0 비트와 카운터 (121)의 출력값 (CNT[3:0])의 CNT0 비트를 받아들이고, XNOR 게이트 (G2)는 기준값 (B[3:0])의 B2 비트와 카운터 (121)의 출력값 (CNT[3:0])의 CNT2 비트를 받아들인다. XNOR 게이트 (G3)은 기준값 (B[3:0])의 B1 비트와 카운터 (121)의 출력값 (CNT[3:0])의 CNT1 비트를 받아들인다. XNOR 게이트 (G4)는 기준값 (B[3:0])의 B3 비트와 카운터 (121)의 출력값 (CNT[3:0])의 CNT3 비트를 받아들인다. XNOR 게이트들 (G1-G4)의 출력들은 낸드 게이트 (G5)에 인가된다. 낸드 게이트 (G6)에는 낸드 게이트 (G5)의 출력과 플립-플롭 (FF13)의 출력 (/Q)이 인가된다. 플립-플롭 (FF13)의 데이터 입력 단자 (D)는 낸드 게이트 (G6)의 출력에 연결되고, 그것의 클록 단자 (CK)는 외부 클록 신호 (XCLK)에 연결되며, 그것의 리세트 단자 (RN)는 외부 리세트 신호 (XRST)에 연결된다.



<61> 회로 동작에 있어서, 플립-플롭 (FF13)의 출력, 즉, 내부 리세트 신호 (RST\_IN)는 외부 리세트 신호 (XRST)의 활성화 (즉, 하이-로우 천이)에 따라 로직 로우 레벨로 초기화된다. 이때, XNOR 게이트들 (G1-G4) 중 적어도 하나의 입력값들이 서로 다르기 때문에, 낸드 게이트 (G5)의 입력들 중 하나는 로직 로우 레벨이 된다. 이는 낸드 게이트 (G5)의 출력이 로직 하이 레벨이 되게 한다. 내부 리세트 신호 (RST\_IN)가 로직 로우 레벨이기 때문에, 낸드 게이트 (G6)의 일 입력 신호 (/Q)는 로직 하이 레벨이 된다. 이때, 낸드 게이트 (G6)의 입력 신호들이 모두 로직 하이 레벨을 갖기 때문에 낸드 게이트 (G6)의 출력은 로직 로우 레벨이 된다. 따라서, 플립-플롭 (FF13)은 XNOR 게이트들 (G1-G4) 각각의 입력 신호들이 동일한 값을 가질 때까지 외부 클록 신호 (XCLK)의 상승 에지에 동기되어 로직 로우 레벨을 계속 래치하게 된다. 즉, XNOR 게이트들 (G1-G4) 각각의 입력 신호들이 동일한 값을 가질 때까지, 내부 리세트 신호 (RST\_IN)는 계속해서 로직 로우 레벨을 유지한다.

<62> 도 5a에 도시된 비교기 (122)는 카운터 (121)로부터 출력되는 출력값이 4-비트 데이터라고 가정하여 설계된 것이다. 하지만, 카운터 (121)의 출력값이 가변됨에 따라, XNOR 게이트들의 수 역시 가변됨은 이 분야의 통상적인 지식을 습득한 자들에게 자명하다.

<63> 도 5b는 도 4에 도시된 비교기 (123)의 바람직한 실시예를 보여주는 회로도이고, 도 5c는 도 4에 도시된 비교기 (124)의 바람직한 실시예를 보여주는 회로도이다. 도 5b 및 도 5c에 도시된 바와 같이, 비교기들 (123, 124)은 도 5a에 도시된 것과 동일하게 구성된다. 도 5b 및 도 5c에 도시된 비교기들 (123, 124)은 플립-플롭들 (FF14, FF15)의 클록 단자 (CK)에 외부 클록 신호 (XCLK) 대신에 외부 클록 신호의 상보 클록 신호 (XCLKB)가 인가된다는 점을 제외하면 도 5a의 비교기 (122)와 동일하다. 따라서, 도 5b 및 도 5c에 도시된 비교기들 (123, 124)에 대한 설명은 여기서 생략된다.



- <64> 도 6은 도 4에 도시된 지연 회로 (128)의 바람직한 실시예를 보여주는 회로도이다. 도 6을 참조하면, 본 발명에 따른 지연 회로 (128)는 클록 차단 신호 (MASK)를 소정 시간만큼 지연시켜 출력하며, 복수 개의 인버터들 (INV1-INVn)로 이루어진 인버터 체인으로 구성된다. 여기서, 인버터들 (INV1-INVn)의 수는 지연된 클록 차단 신호 (MASK\_DLY)가 클록 차단 신호 (MASK)와 동일한 위상을 갖도록 짝수개이다.
- <65> 도 7은 도 4에 도시된 클록 마스킹 회로 (129)의 바람직한 실시예를 보여주는 회로도이다. 본 발명에 따른 클록 마스킹 회로 (129)는 앤드 게이트 (G10)로 구성되며, 앤드 게이트 (G10)는 외부 클록 신호 (XCLK)와 지연된 클록 차단 신호 (MASK\_DLY)에 응답하여 내부 클록 신호 (CLK\_IN)를 출력한다. 지연된 클록 차단 신호 (MASK\_DLY)가 로직 하이 레벨일 때, 앤드 게이트 (G10)는 외부 클록 신호 (XCLK)를 내부 클록 신호 (CLK\_IN)로서 출력한다. 지연된 클록 차단 신호 (MASK\_DLY)가 로직 로우 레벨일 때, 앤드 게이트 (G10)는 외부 클록 신호 (XCLK)의 출력을 차단한다.
- <66> 도 8은 본 발명에 따른 반도체 장치의 리세트 및 클록 재생성 회로의 동작을 설명하기 위한 흐름도이다.
- <67> 본 발명에 따른 리세트 및 클록 재생성 회로 (120)는 외부 리세트 신호 (XRST)가 로직 로우 레벨이 되었는지의 여부를 판별한다 (S100). 만약 외부 리세트 신호 (XRST)가 로직 로우 레벨이 되면, 카운터 (121) 및 비교기들 (122, 123, 124)이 초기화된다 (S110). 이때, 내부 리세트 신호 (RST\_IN)는 로직 로우 레벨이 되고, 카운터 (121)의 출력 (CNT)은 '0'으로 초기화되며, 클록 차단 신호 (MASK)는 로직 하이 레벨이 된다.
- <68> 외부 리세트 신호 (XRST)가 로직 로우 레벨에서 로직 하이 레벨로 천이할 때, 카운터 (121)는 외부 클록 신호 (XCLK)에 동기되어 카운트 동작을 수행한다 (S120). S130 단계에서,





카운터 (121)의 출력 (CNT)이 비교기 (123)의 기준값 (A)과 일치하는지의 여부가 판별된다. 만약 그렇다면, 클록 차단 신호 (MASK)는 로직 로우 레벨이 된다 (S140). 만약 그렇지 않다면, 카운터 (121)의 출력 (CNT)이 비교기 (122)의 기준값 (B)과 일치하는지의 여부가 판별된다 (S150). 만약 그렇다면, 내부 리세트 신호 (RST\_IN)는 로직 로우 레벨에서 로직 하이 레벨로 천이한다 (S160). 만약 그렇지 않다면, 카운터 (121)의 출력 (CNT)이 비교기 (124)의 기준값 (C)과 일치하는지의 여부가 판별된다 (S170). 만약 그렇다면, 클록 차단 신호 (MASK)는 로직 로우 레벨에서 로직 하이 레벨로 천이한다 (S180). 만약 그렇지 않다면, 카운터 (121)의 출력값 (CNT)이 최대값에 도달하였는지의 여부가 판별된다 (S190). 카운터 (121)의 출력값 (CNT)이 최대값에 도달할 때, 리세트 및 클록 재생성 회로의 동작이 종료된다.

- <69> 도 9는 본 발명에 따른 반도체 장치의 리세트 및 클록 재생성 회로의 동작을 설명하기 위한 타이밍도이다.
- <70> 도 9를 참조하면, 외부 리세트 신호 (XRST)가 로직 하이 레벨에서 로직 로우 레벨로 천이할 때 (즉, 외부 리세트 신호 (XRST)가 활성화될 때), 비교기들 (122, 123, 123)이 초기화된다. 이때, 내부 리세트 신호 (RST\_IN)는 하이-로우 천이를 갖고, 비교기들 (123, 124)의 출력 신호들 (COMP1, COMP2)은 로직 로우 레벨로 초기화된다. 이러한 조건에 따르면, 도 9에 도시된 바와 같이, 클록 차단 신호 (MASK)는 로직 하이 레벨을 갖는다. 클록 차단 신호 (MASK)가 로직 하이 레벨일 때, 클록 마스킹 회로 (129)는 외부 클록 신호 (XCLK)에 응답하여 내부 클록 신호 (CLK\_IN)를 발생한다.
- <71> 외부 리세트 신호 (XRST)가 로직 로우 레벨에서 로직 하이 레벨로 천이할 때 (즉, 외부 리세트 신호 (XRST)가 비활성화될 때), 카운터 (121)는 외부 클록 신호 (XCLK)에 동기되어 카운트 동작을 수행한다. 카운터 (121)의 출력값 (CNT[i:0])이 비교기 (123)의 기준값 (A[i:0])



에 도달할 때, 비교기 (123)의 출력 신호 (COMP1)는 클록 신호 (XCLKB)의 상승 에지에 동기되어 로직 로우 레벨에서 로직 하이 레벨로 천이하는 반면에, 비교기 (124)의 출력 신호 (COMP2)는 초기 상태 (즉, 로직 로우 레벨)를 유지한다. 이러한 조건에 따르면, 오어 게이트 (127)로부터 출력되는 클록 차단 신호 (MASK)는 하이-로우 천이를 갖는다. 이 신호는 지연 회로 (128)를 통해 외부 클록 신호 (XCLK)의 1/4주기만큼 지연된다. 클록 마스크 회로 (129)는 그렇게 지연된 신호 (MASK\_DLY)가 로직 하이 레벨에서 로직 로우 레벨로 천이할 때 내부 클록 신호 (CLK\_IN)를 생성하는 것을 중지한다. 즉, 지연된 클록 차단 신호 (MASK\_DLY)가 로우로 활성화될 때, 외부 클록 신호 (XCLK)는 내부 클록 신호 (CLK\_IN)로서 출력되지 않는다.

<72> 계속해서, 카운터 (121)의 출력값 (CNT[i:0])이 비교기 (123)의 기준값 (A[i:0])에 도달하고 소정 시간이 경과한 후에, 도 9에 도시된 바와 같이, 카운터 (121)의 출력값 (CNT[i:0])은 비교기 (122)의 기준값 (B[i:0])에 도달한다. 비교기 (122)의 출력 신호 (즉, 내부 리셋 신호 (RST\_IN))는 카운터 (121)의 출력값 (CNT[i:0])이 비교기 (122)의 기준값 (B[i:0])에 도달한 클록 사이클의 다음 클록 사이클에서 비활성화된다. 카운터 (121)가 계속해서 카운트 동작을 수행하여 그것의 출력값 (CNT[i:0])이 비교기 (124)의 기준값 (C[i:0])에 도달할 때, 비교기 (124)의 출력 신호 (COMP2)는 클록 신호 (XCLKB)의 로우-하이 천이에 동기되어 로직 로우 레벨에서 로직 하이 레벨로 천이한다.

<73> 비교기 (124)의 출력 신호 (COMP2)가 로직 하이 레벨로 천이함에 따라, 오어 게이트 (127)로부터 출력되는 클록 차단 신호 (MASK)는 로직 로우 레벨에서 로직 하이 레벨로 천이한다. 이 신호는 지연 회로 (128)를 통해 외부 클록 신호 (XCLK)의 1/4주기만큼 지연된다. 클록 마스크 회로 (129)는 지연된 클록 차단 신호 (MASK\_DLY)에 응답하여 내부 클록 신호 (CLK\_IN)의 생성을 재개한다. 즉, 외부 클록 신호 (XCLK)가 내부 클록 신호 (CLK\_IN)로서 출력된다.



<74> 도 9에 도시된 바와 같이, 외부 리세트 신호 (XRST)가 비활성화된 후, 내부 리세트 신호 (RST\_IN)의 비활성화 시점과 내부 클록 신호 (CLK\_IN)의 액티브 에지간에는 각각  $t_1$  및  $t_2$  시간만큼 타이밍 마진이 확보된다.  $t_1$  시간은 내부 리세트 신호 (RST\_IN)의 제거 시간 ( $t_{RM}$ )보다 충분히 크고,  $t_2$  시간은 내부 리세트 신호 (RST\_IN)의 회복 시간 ( $t_{RC}$ )보다 충분히 크다. 따라서, 반도체 장치 (100) 내에 산재해 있는 플립-플롭들 각각에 인가되는, 본 발명의 재생성 회로 (120)로부터 출력되는, 내부 클록 신호 (CLK\_IN)와 내부 리세트 신호 (RST\_IN)의 타이밍 문제는 근본적으로 해결될 수 있다. 외부 클록 신호 (XCLK)의 주기가 짧아지더라도, 비교기들의 기준값들 ( $A[i:0]$ ,  $B[i:0]$ ,  $C[i:0]$ )을 가변시킴으로써 그러한 타이밍 문제를 근본적으로 방지할 수 있다.

<75> 앞서 설명된 바에 따르면, 클록 차단 신호 (MASK)가 지연 회로 (128)를 통해 외부 클록 신호 (XCLK)의 1/4주기만큼 지연된다. 클록 차단 신호 (MASK)를 지연시키는 이유는, 도 10에 도시된 바와 같이, 지연 없이 외부 클록 신호 (XCLK)를 차단하는 경우 내부 클록 신호 (CLK\_IN)에 잘못된 또는 의사 신호 (즉, 글리치)가 발생할 수 있기 때문이다. 반도체 장치 (100) 내의 플립-플롭들은 그러한 신호 즉, 글리치를 내부 클록 신호로 인식하며, 그 결과 다양한 타이밍 문제가 야기될 수 있다.

<76> 비교기들 (122, 123, 124)에 다양한 방식을 통해 기준값들 ( $B[i:0]$ ,  $A[i:0]$ ,  $C[i:0]$ )이 제공될 수 있다. 예를 들면, 도 4에 도시된 바와 같이, 기준값들 ( $B[i:0]$ ,  $A[i:0]$ ,  $C[i:0]$ )이 외부로부터 직접 비교기들 (122, 123, 124)에 제공될 수 있다. 또는, 본 발명의 다른 실시예에 따른 반도체 장치를 보여주는 도 11에 도시된 바와 같이, 기준값들 ( $A[i:0]$ ,  $B[i:0]$ ,  $C[i:0]$ )을 저장하기 위한 레지스터 (160)이 반도체 장치 (200) 내에 추가적으로 구비될 수 있다. 도 11에 도시된 반도체 장치의 리세트 및 클록 재생성 회로 (120)는 도 3에 도시된 것과 실질적으



로 동일하며, 그것에 대한 설명은 그러므로 생략된다. 레지스터 (160)는 기준값들 ( $A[i:0]$ ,  $B[i:0]$ ,  $C[i:0]$ )을 모두 저장할 수 있다. 또는, 레지스터 (160)에는 기준값들 ( $A[i:0]$ ,  $B[i:0]$ ,  $C[i:0]$ ) 중 하나만이 저장될 수 있다. 이 경우, 저장된 기준값을 이용하여 나머지 기준값들이 만들어질 수 있을 것이다. 이러한 방식 외에도 다른 방식이 이용될 수 있음은 이 분야의 통상적인 지식을 습득한 자들에게 자명하다.

<77> 도 12는 본 발명에 따른 리세트 및 클록 재생성 방식을 이용한 고속 디지털 시스템을 보여주는 블록도이다.

<78> 도 12를 참조하면, 본 발명에 따른 고속 디지털 시스템 (300)은 데이터 버스 (301)에 연결된 복수 개의 기능 블록들 (310, 320, 330, 340, 350), 리세트 및 클록 재생성 블록 (360), 내부 리세트 신호 ( $RST\_IN$ )를 전달하기 위한 신호 라인 (302), 그리고 내부 클록 신호 ( $CLK\_IN$ )를 전달하기 위한 신호 라인 (303)을 포함한다. 각 기능 블록에는, 비록 도면에는 도시되지 않았지만, 복수의 메모리 소자들, 즉, 플립-플롭들이 포함될 것이다. 각 기능 블록의 플립-플롭들은 신호 라인들 (302, 303)을 통해 전달되는 내부 리세트 및 클록 신호들 ( $RST\_IN$ ,  $CLK\_IN$ )에 응답하여 동작할 것이다. 내부 리세트 및 클록 신호들 ( $RST\_IN$ ,  $CLK\_IN$ )은 리세트 및 클록 재생성 블록 (360)에서 생성되며, 리세트 및 클록 재생성 블록 (360)은 도 4에 도시된 것과 동일하게 구성된다. 그러므로, 그것에 대한 설명은 여기서 생략된다.

<79> 이 실시예에 있어서, 도 11에 도시된 레지스터 (160)를 포함하는 리세트 및 클록 재생성 블록이 사용될 수 있다. 또는, 도 11에 도시된 바와 같이 리세트 및 클록 재생성 블록의 외부에 레지스터가 배치될 수 있다.



<80>       이상에서, 본 발명에 따른 회로의 구성 및 동작을 상기한 설명 및 도면에 따라 도시하였지만, 이는 예를 들어 설명한 것에 불과하며 본 발명의 기술적 사상 및 범위를 벗어나지 않는 범위 내에서 다양한 변화 및 변경이 가능함은 물론이다.

**【발명의 효과】**

<81>       상술한 바와 같이, 외부 리셋 신호가 비활성화되고 소정 시간이 경과한 후 외부 클럭 신호를 차단함으로써, 내부 리셋 신호의 비활성화 시점이 내부 클럭 신호의 액티브 에지 (즉, 상승 에지)와 일치하는 것을 방지할 수 있다.



**【특허청구범위】**

**【청구항 1】**

복수 개의 플립-플롭들을 포함하는 반도체 장치에 있어서:

외부 클록 신호를 공급받는 제 1 입력 단자와;

외부 리세트 신호를 공급받는 제 2 입력 단자와; 그리고

상기 외부 클록 신호와 상기 외부 리세트 신호에 응답하여 상기 플립-플롭들로 공급될 내부 클록 신호와 내부 리세트 신호를 발생하는 수단을 포함하며,

상기 수단은 상기 외부 리세트 신호가 비활성화된 후 소정 시간 동안 상기 내부 클록 신호를 생성하는 것을 중지하고 상기 내부 리세트 신호가 상기 소정 시간 내에 비활성화되게 하는 것을 특징으로 하는 반도체 장치.

**【청구항 2】**

제 1 항에 있어서,

상기 소정 시간은 상기 외부 리세트 신호의 회복 시간과 제거 시간의 합보다 긴 것을 특징으로 하는 반도체 장치.

**【청구항 3】**

제 1 항에 있어서,

상기 내부 리세트 신호는 상기 소정 시간의 중간에 비활성화되는 것을 특징으로 하는 반도체 장치.

**【청구항 4】**

제 1 항에 있어서,

상기 외부 리세트 신호가 비활성화되고 소정 시간이 경과한 후 상기 내부 클록 신호의 생성이 중지되는 것을 특징으로 하는 반도체 장치.

**【청구항 5】**

제 1 항에 있어서,

상기 소정 시간은 상기 외부 클록 신호의 동작 주파수에 따라 조절 가능한 것을 특징으로 하는 반도체 장치.

**【청구항 6】**

제 1 항에 있어서,

상기 외부 클록 신호는 상기 내부 클록 신호의 주기와 동일한 주기를 갖는 것을 특징으로 하는 반도체 장치.

**【청구항 7】**

외부 클록 신호와 외부 리세트 신호를 공급받는 반도체 장치에 있어서:

각각이 적어도 하나의 플립-플롭을 갖는 기능 블록들과;

상기 외부 리세트 신호에 응답하여 상기 각 기능 블록의 플립-플롭에 공급될 내부 리세트 신호를 발생하는 내부 리세트 발생 회로와;

상기 외부 클록 신호 및 상기 외부 리세트 신호를 받아들이고, 상기 외부 리세트 신호가 비활성화된 후 소정 시간 동안 활성화되도록 클록 차단 신호를 발생하는 타이밍 제어 회로와; 그리고



상기 외부 클록 신호 및 상기 클록 차단 신호에 응답하여 상기 각 기능 블록의 플립-플롭에 공급될 내부 클록 신호를 발생하는 내부 클록 발생 회로를 포함하고,

상기 내부 클록 발생 회로는 상기 클록 차단 신호의 활성화 구간 동안 상기 내부 클록 신호를 생성하는 것을 중지하며; 그리고 상기 내부 리세트 신호는 상기 클록 차단 신호의 활성화 구간 내에서 비활성화되는 것을 특징으로 하는 반도체 장치.

**【청구항 8】**

제 7 항에 있어서,

상기 클록 차단 신호의 활성화 구간은 상기 외부 리세트 신호의 회복 시간과 제거 시간의 합보다 긴 것을 특징으로 하는 반도체 장치.

**【청구항 9】**

제 7 항에 있어서,

상기 내부 리세트 신호는 상기 클록 차단 신호의 활성화 구간의 중간에 비활성화되는 것을 특징으로 하는 반도체 장치.

**【청구항 10】**

제 7 항에 있어서,

상기 내부 클록 발생 회로는 상기 외부 리세트 신호가 비활성화되고 소정 시간이 경과한 후 상기 내부 클록 신호를 생성하는 것을 중지하는 것을 특징으로 하는 반도체 장치.



## 【청구항 11】

제 7 항에 있어서,

상기 클록 차단 신호의 활성화 구간은 상기 외부 클록 신호의 동작 주파수에 따라 조절 가능한 것을 특징으로 하는 반도체 장치.

## 【청구항 12】

각각이 적어도 하나의 플립-플롭을 갖는 기능 블록들과;

외부 리세트 신호가 비활성화될 때 외부 클록 신호에 동기되어 카운트 동작을 수행하는 카운터와;

상기 카운터의 출력값, 상기 외부 리세트 신호 그리고 상기 외부 클록 신호를 공급받고 상기 각 기능 블록의 플립-플롭에 공급될 내부 리세트 신호를 발생하되, 상기 내부 리세트 신호는 상기 카운터의 출력값이 제 1 기준값과 일치할 때 비활성화되는 내부 리세트 발생 회로와;

상기 카운터의 출력값, 상기 외부 클록 신호의 상보 신호, 그리고 상기 외부 리세트 신호에 응답하여 클록 차단 신호를 발생하되, 상기 클록 차단 신호는 상기 비교기의 출력값이 상기 제 1 기준값보다 작은 제 2 기준값에 도달할 때 활성화되고 상기 비교기의 출력값이 상기 제 1 기준값보다 큰 제 3 기준값에 도달할 때 비활성화되는 클록 차단 신호 발생 회로; 그리고

상기 외부 클록 신호와 상기 클록 차단 신호에 응답하여 상기 각 기능 블록의 플립-플롭에 공급될 내부 클록 신호를 발생하되, 상기 내부 클록 신호의 생성은 상기 클록 차단 신호의 활성화 구간 동안 중지되는 내부 클록 발생 회로를 포함하고,



이에 따라, 상기 내부 리셋 신호의 비활성화 시점은 상기 내부 클록 신호의 액티브 에지와 일치하지 않는 고속 반도체 장치.

**【청구항 13】**

제 12 항에 있어서,

상기 클록 차단 신호를 소정 시간 지연시키는 지연 회로를 더 포함하는 고속 반도체 장치.

**【청구항 14】**

제 13 항에 있어서,

상기 지연 회로의 지연 시간은 상기 외부 클록 신호의  $1/4$  주기에 대응하는 고속 반도체 장치.

**【청구항 15】**

제 12 항에 있어서,

상기 클록 차단 신호의 활성화 구간은 상기 외부 리셋 신호의 회복 시간과 제거 시간의 합보다 긴 고속 반도체 장치.

**【청구항 16】**

제 12 항에 있어서,

상기 내부 리셋 신호는 상기 클록 차단 신호의 활성화 구간의 중간에 비활성화되는 것을 특징으로 하는 고속 반도체 장치.

**【청구항 17】**

제 12 항에 있어서,

상기 외부 리셋 신호가 비활성화되고 소정 시간이 경과한 후 상기 내부 클럭 신호의 생성이 중지되는 고속 반도체 장치.

**【청구항 18】**

제 12 항에 있어서,

상기 제 1 내지 제 3 기준값들을 저장하는 레지스터를 더 포함하며, 상기 레지스터 내의 상기 제 1 내지 제 3 기준값들은 상기 외부 클럭 신호의 동작 주파수에 따라 가변 가능한 고속 반도체 장치.

**【청구항 19】**

제 12 항에 있어서,

상기 제 1 내지 제 3 기준값들은 외부로부터 제공되는 고속 반도체 장치.

**【청구항 20】**

제 12 항에 있어서,

상기 내부 리셋 발생 회로는 비교기를 포함하며, 상기 비교기는 상기 카운터의 출력값이 상기 제 1 기준값과 일치하는지의 여부를 판별하는 고속 반도체 장치.

**【청구항 21】**

제 20 항에 있어서,

상기 비교기는 상기 외부 리셋 신호의 활성화에 응답하여 초기화되는 고속 반도체 장치.

**【청구항 22】**

제 12 항에 있어서,

상기 클록 차단 신호 발생 회로는

상기 카운터의 출력값이 상기 제 2 기준값과 일치하는지의 여부를 판별하는 1 비교기와;

상기 카운터의 출력값이 상기 제 2 기준값과 일치하는지의 여부를 판별하는 제 2 비교기와;

상기 제 1 비교기의 출력을 반전시키는 인버터와; 그리고

상기 인버터의 출력 및 상기 제 2 비교기의 출력에 응답하여 상기 클록 차단 신호를 출력하여 오어 게이트를 포함하는 고속 반도체 장치.

**【청구항 23】**

제 22 항에 있어서,

상기 제 1 및 제 2 비교기들은 상기 외부 리세트 신호의 활성화에 응답하여 초기화되는 고속 반도체 장치.

**【청구항 24】**

고속 디지털 시스템에 있어서:

각각이 적어도 하나의 플립-플롭을 갖는 복수의 기능 블록들과;

외부 클록 신호 및 외부 리세트 신호에 응답하여 상기 기능 블록들 각각의 플립-플롭에 공급될 내부 클록 신호 및 내부 리세트 신호를 발생하는 리세트 및 클록 재생성 장치와; 그리고

상기 기능 블록들로 상기 내부 클록 신호 및 상기 내부 리세트 신호를 각각 전달하는 제 1 및 제 2 신호 라인들을 포함하며;

상기 리세트 및 클록 재생성 장치는

상기 외부 리세트 신호에 응답하여 상기 각 기능 블록의 플립-플롭에 공급될 내부 리세트 신호를 발생하는 내부 리세트 발생 회로와;

상기 외부 클록 신호 및 상기 외부 리세트 신호를 받아들이고, 상기 외부 리세트 신호가 비활성화된 후 소정 시간 동안 활성화되도록 클록 차단 신호를 발생하는 타이밍 제어 회로와;  
그리고

상기 외부 클록 신호 및 상기 클록 차단 신호에 응답하여 상기 각 기능 블록의 플립-플롭에 공급될 내부 클록 신호를 발생하는 내부 클록 발생 회로를 포함하고,

상기 내부 클록 발생 회로는 상기 클록 차단 신호의 활성화 구간 동안 상기 내부 클록 신호를 생성하는 것을 중지하며; 그리고 상기 내부 리세트 신호는 상기 클록 차단 신호의 활성화 구간 내에서 비활성화되는 것을 특징으로 하는 고속 디지털 시스템.

#### 【청구항 25】

제 24 항에 있어서,

상기 클록 차단 신호의 활성화 구간은 상기 외부 리세트 신호의 회복 시간과 제거 시간의 합보다 길며, 상기 내부 리세트 신호는 상기 클록 차단 신호의 활성화 구간의 중간에 비활성화되는 것을 특징으로 하는 고속 디지털 시스템.

## 【청구항 26】

제 24 항에 있어서,

상기 내부 클록 발생 회로는 상기 외부 리세트 신호가 비활성화되고 소정 시간이 경과한 후 상기 내부 클록 신호를 생성하는 것을 중지하는 것을 특징으로 하는 고속 디지털 시스템.

## 【청구항 27】

제 24 항에 있어서,

상기 클록 차단 신호의 활성화 구간은 상기 외부 클록 신호의 동작 주파수에 따라 조절 가능한 것을 특징으로 하는 고속 디지털 시스템.

## 【청구항 28】

고속 디지털 시스템에 있어서:

각각이 적어도 하나의 플립-플롭을 갖는 복수의 기능 블록들과;

외부 클록 신호 및 외부 리세트 신호에 응답하여 상기 기능 블록들 각각의 플립-플롭에 공급될 내부 클록 신호 및 내부 리세트 신호를 발생하는 리세트 및 클록 재생성 장치와; 그리고

상기 기능 블록들로 상기 내부 클록 신호 및 상기 내부 리세트 신호를 각각 전달하는 제 1 및 제 2 신호 라인들을 포함하며,

상기 리세트 및 클록 재생성 장치는

상기 외부 리세트 신호가 비활성화될 때 상기 외부 클록 신호에 동기되어 카운트 동작을 수행하는 카운터와;

상기 카운터의 출력값, 상기 외부 리세트 신호 그리고 상기 외부 클록 신호를 공급받고  
상기 각 기능 블록의 플립-플롭에 공급될 내부 리세트 신호를 발생하되, 상기 내부 리세트 신호는 상기 카운터의 출력값이 제 1 기준값과 일치할 때 비활성화되는 내부 리세트 발생 회로와;

상기 카운터의 출력값, 상기 외부 클록 신호의 상보 신호, 그리고 상기 외부 리세트 신호에 응답하여 클록 차단 신호를 발생하되, 상기 클록 차단 신호는 상기 비교기의 출력값이 상기 제 1 기준값보다 작은 제 2 기준값에 도달할 때 활성화되고 상기 비교기의 출력값이 상기 제 1 기준값보다 큰 제 3 기준값에 도달할 때 비활성화되는 클록 차단 신호 발생 회로; 그리고

상기 외부 클록 신호와 상기 클록 차단 신호에 응답하여 상기 각 기능 블록의 플립-플롭에 공급될 내부 클록 신호를 발생하되, 상기 내부 클록 신호의 생성은 상기 클록 차단 신호의 활성화 구간 동안 중지되는 내부 클록 발생 회로를 포함하고,

이에 따라, 상기 내부 리세트 신호의 비활성화 시점은 상기 내부 클록 신호의 액티브 에지와 일치하지 않는 것을 특징으로 하는 고속 디지털 시스템.

#### 【청구항 29】

제 28 항에 있어서,

상기 리세트 및 클록 재생성 장치는 상기 클록 차단 신호를 지연시키는 지연 회로를 더 포함하는 것을 특징으로 하는 고속 디지털 시스템.

**【청구항 30】**

제 29 항에 있어서,

상기 지연 회로의 지연 시간은 상기 외부 클록 신호의 1/4 주기에 대응하는 고속 디지털 시스템.

**【청구항 31】**

제 29 항에 있어서,

상기 클록 차단 신호의 활성화 구간은 상기 외부 리셋 신호의 회복 시간과 제거 시간의 합보다 길며, 상기 내부 리셋 신호는 상기 클록 차단 신호의 활성화 구간의 중간에 비활성화되는 것을 특징으로 하는 고속 디지털 시스템.

**【청구항 32】**

제 29 항에 있어서,

상기 제 1 내지 제 3 기준값들을 저장하는 레지스터를 더 포함하며, 상기 레지스터 내의 상기 제 1 내지 제 3 기준값들은 상기 외부 클록 신호의 동작 주파수에 따라 가변 가능한 고속 디지털 시스템.

**【청구항 33】**

제 29 항에 있어서,

상기 제 1 내지 제 3 기준값들은 외부로부터 제공되는 고속 디지털 시스템.



## 【청구항 34】

제 29 항에 있어서,

상기 내부 리셋 발생 회로는 비교기를 포함하며, 상기 비교기는 상기 카운터의 출력값이 상기 제 1 기준값과 일치하는지의 여부를 판별하는 고속 디지털 시스템.

## 【청구항 35】

제 34 항에 있어서,

상기 비교기는 상기 외부 리셋 신호의 활성화에 응답하여 초기화되는 고속 디지털 시스템.

## 【청구항 36】

제 34 항에 있어서,

상기 클록 차단 신호 발생 회로는

상기 카운터의 출력값이 상기 제 2 기준값과 일치하는지의 여부를 판별하는 1 비교기와;

상기 카운터의 출력값이 상기 제 2 기준값과 일치하는지의 여부를 판별하는 제 2 비교기와;

상기 제 1 비교기의 출력을 반전시키는 인버터와; 그리고

상기 인버터의 출력 및 상기 제 2 비교기의 출력에 응답하여 상기 클록 차단 신호를 출력하여 오어 게이트를 포함하는 고속 디지털 시스템.

【청구항 37】

제 36 항에 있어서,

상기 제 1 및 제 2 비교기들은 상기 외부 리세트 신호의 활성화에 응답하여 초기화되는  
고속 반도체 장치.

【청구항 38】

외부 클록 신호 및 외부 리세트 신호에 응답하여 내부 클록 신호 및 내부 리세트 신호를  
발생하는 단계와;

상기 외부 리세트 신호가 비활성화되었는 지의 여부를 판별하는 단계와;

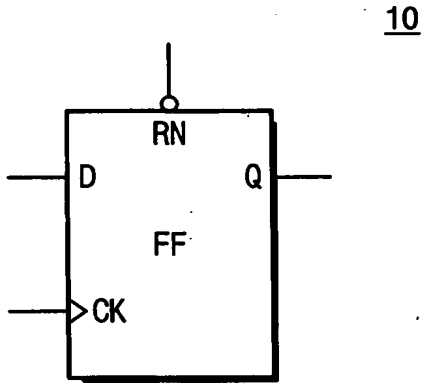
상기 외부 리세트 신호가 비활성화될 때 상기 내부 클록 신호를 발생하는 것을 중지하  
는 단계와;

소정 시간 후에 상기 내부 리세트 신호를 비활성화시키는 단계와;

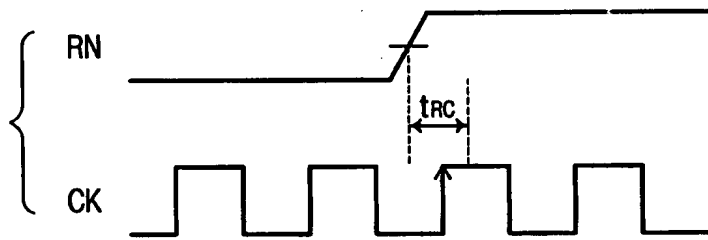
소정 시간 후에 상기 내부 클록 신호의 생성을 재개하는 단계를 포함하고, 이에 따라 상  
기 내부 리세트 신호의 비활성화 시점은 상기 내부 클록 신호의 액티브 에지와 일치하지 않는  
리세트 및 클록 재생성 방법.

【도면】

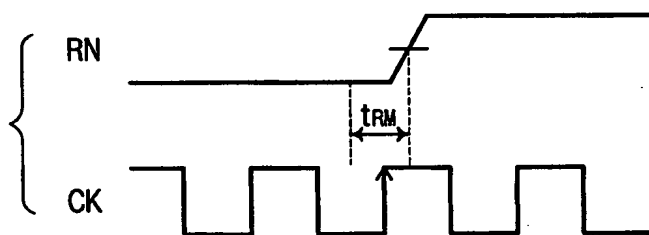
【도 1a】



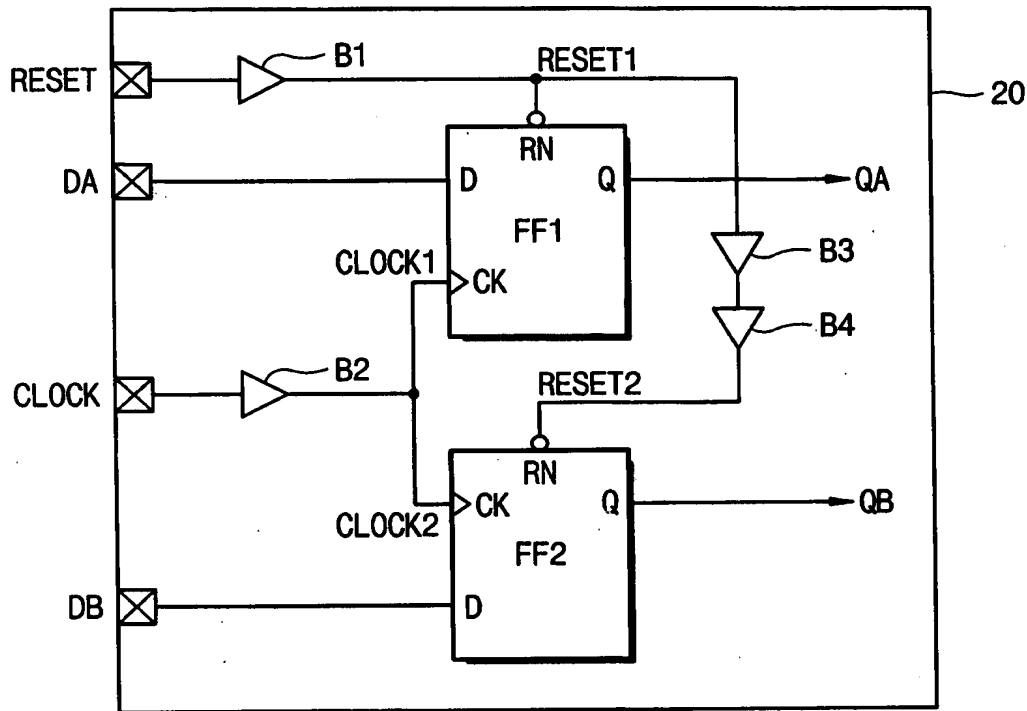
【도 1b】



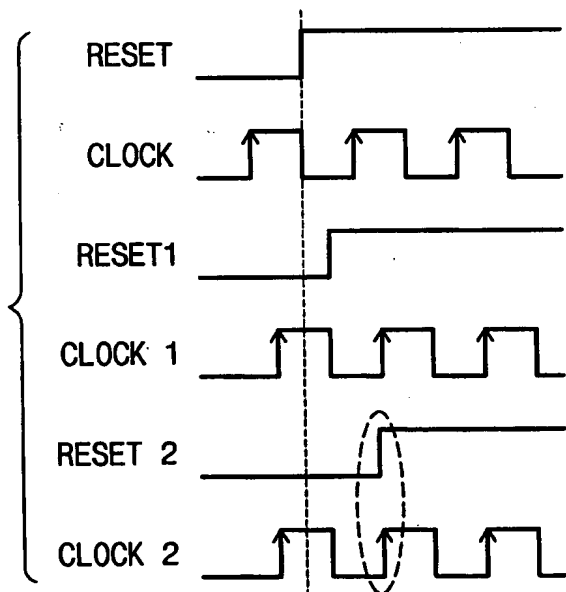
【도 1c】



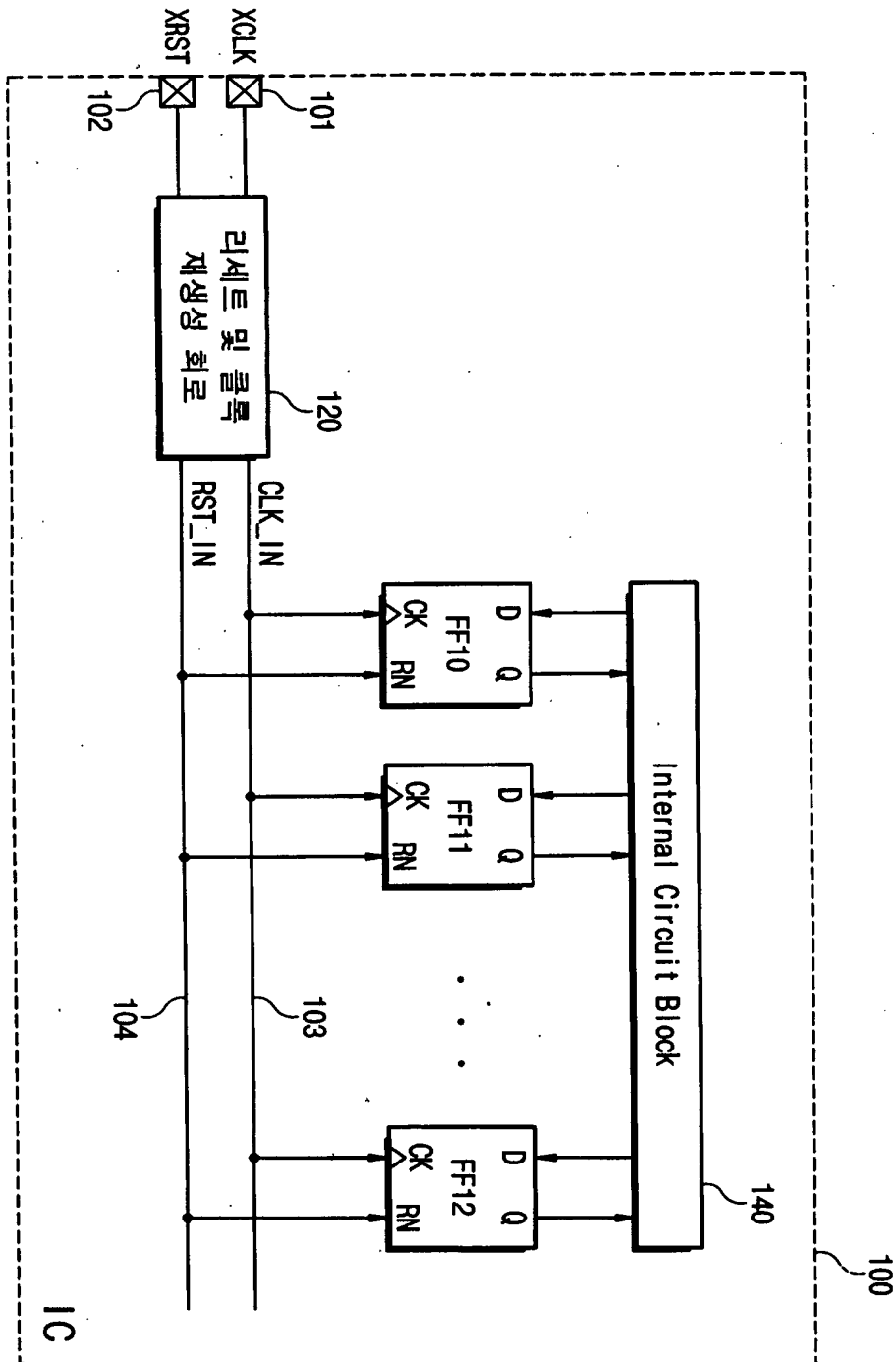
【도 2a】



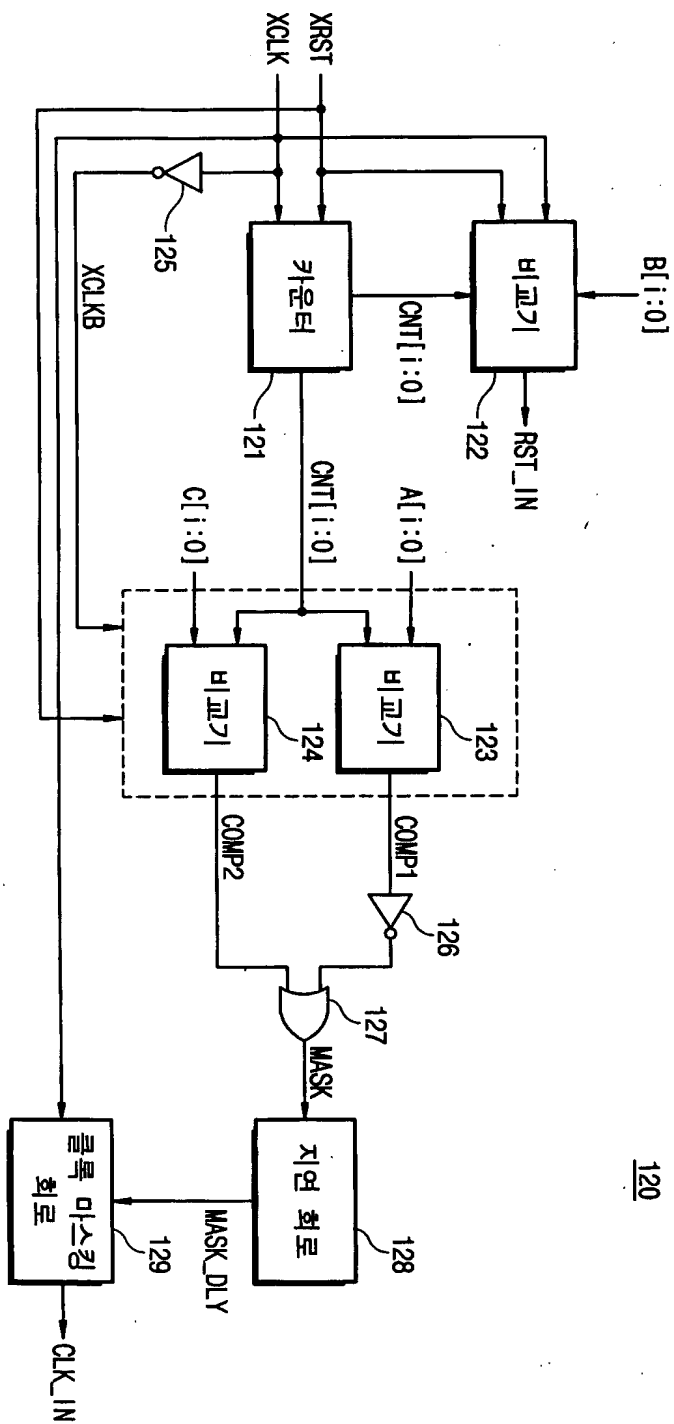
【도 2b】



【도 3】



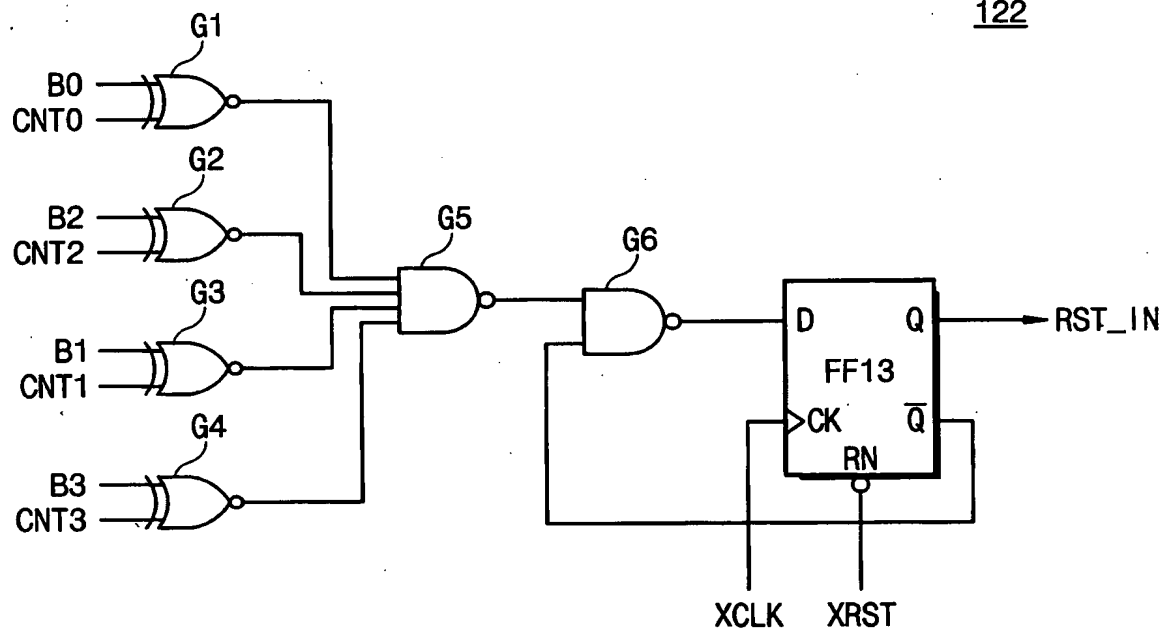
【도 4】



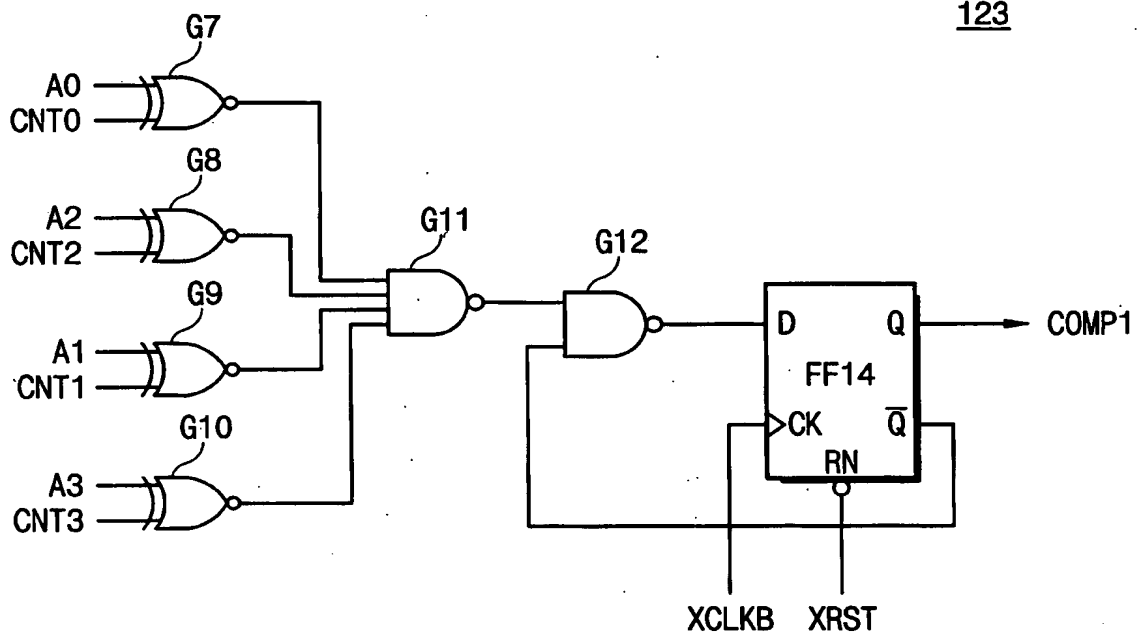
120



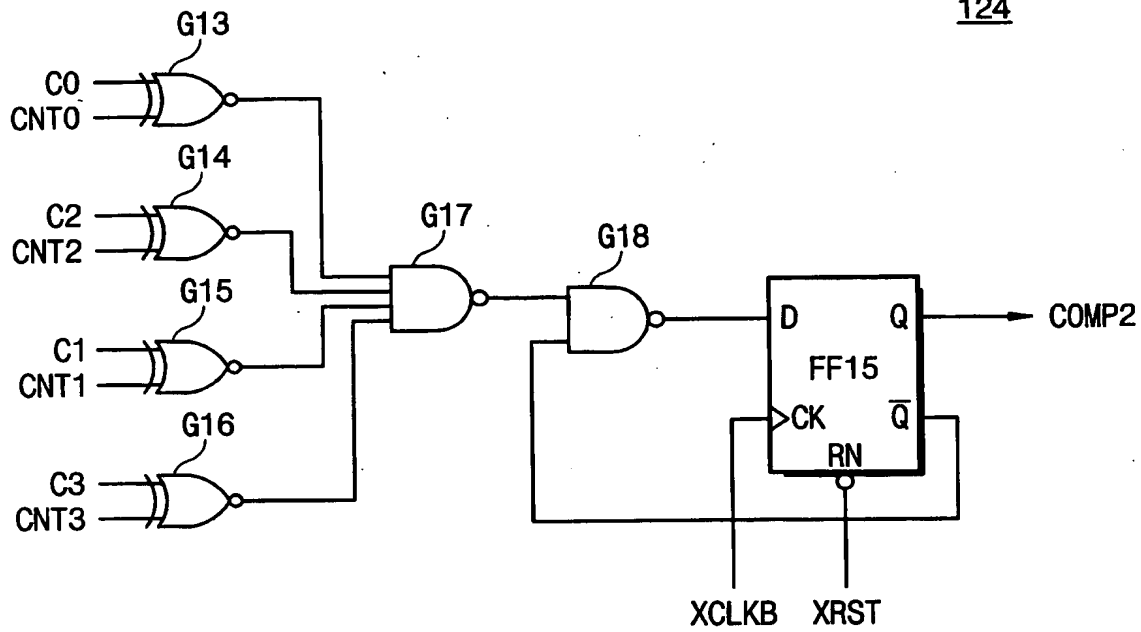
【도 5a】

122

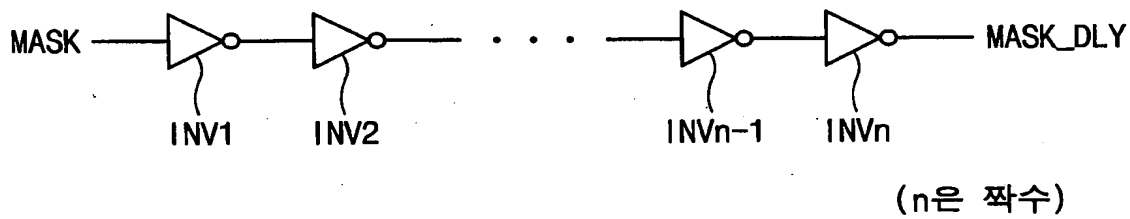
【도 5b】

123

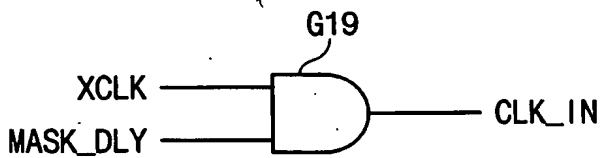
【도 5c】

124

【도 6】

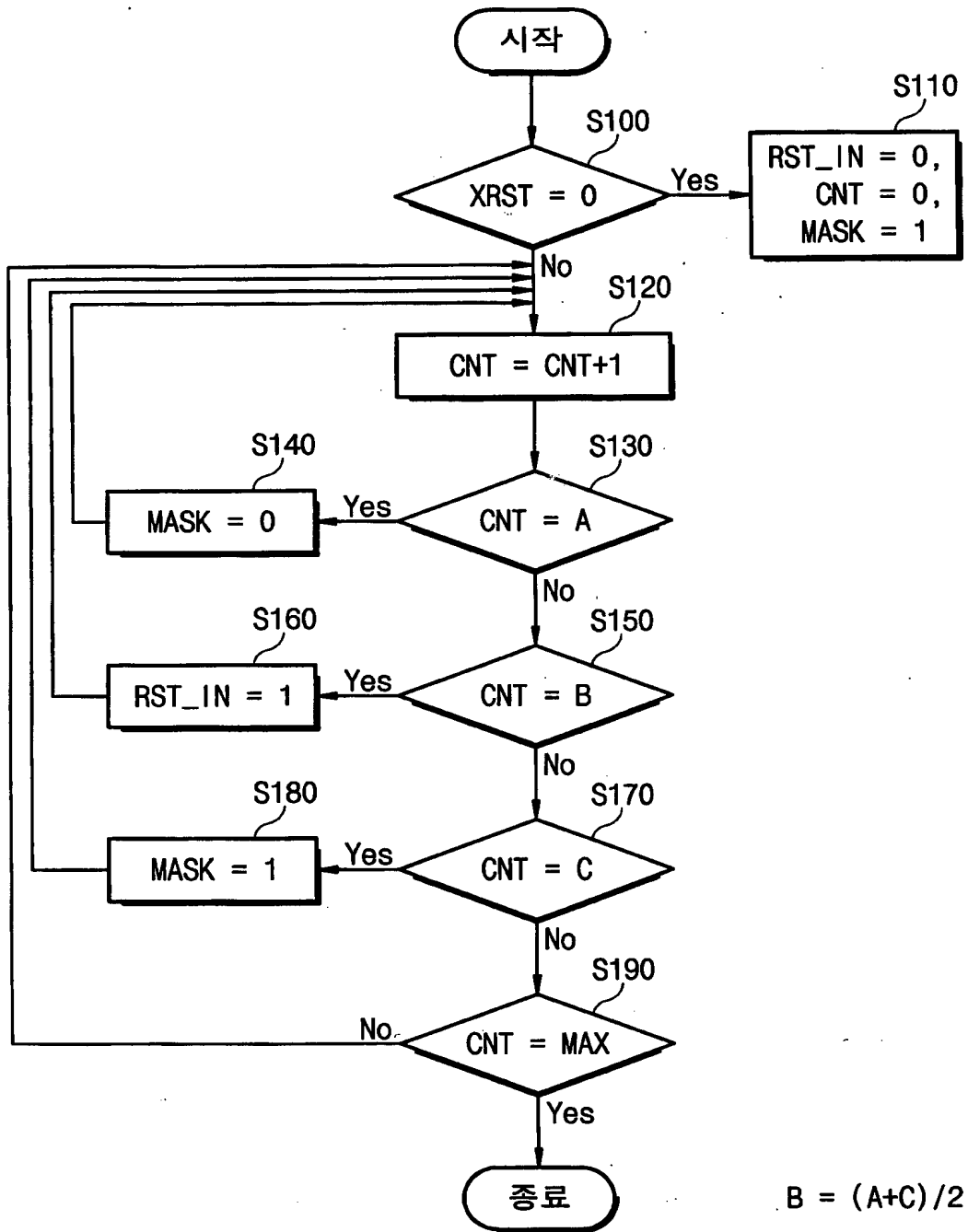
128

【도 7】

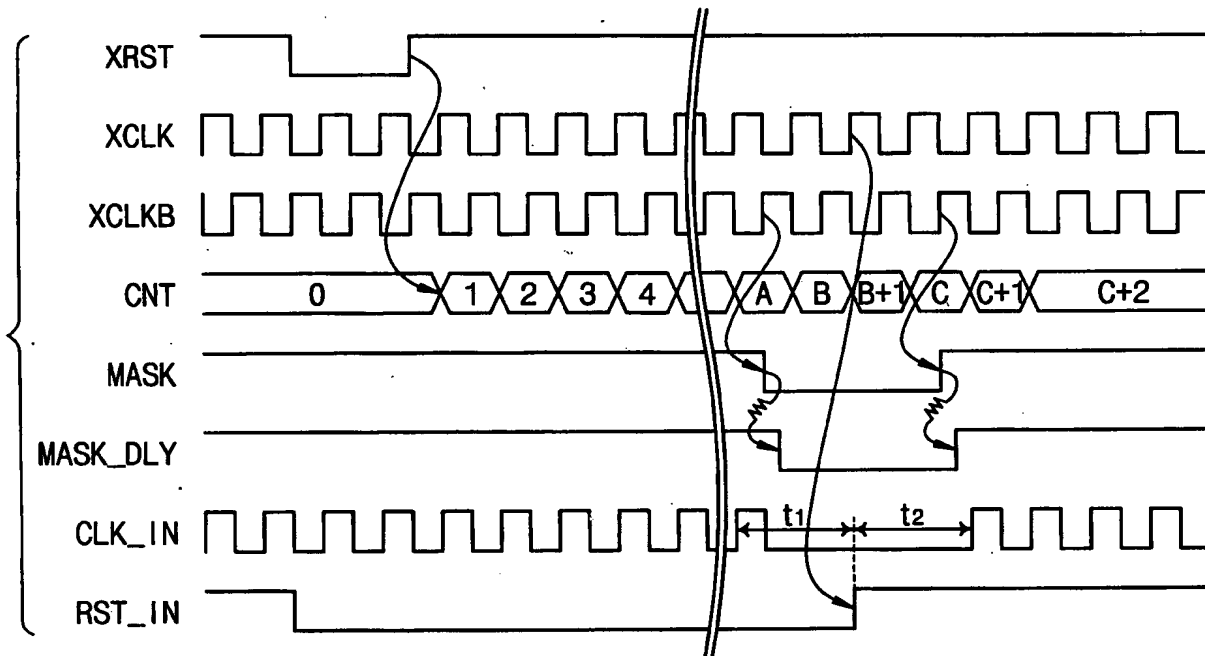
129



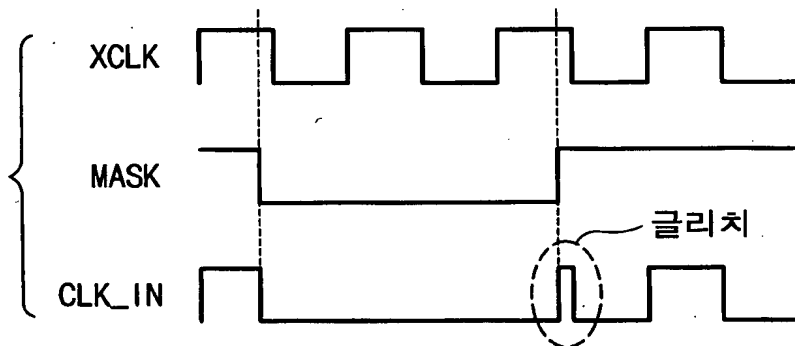
【도 8】



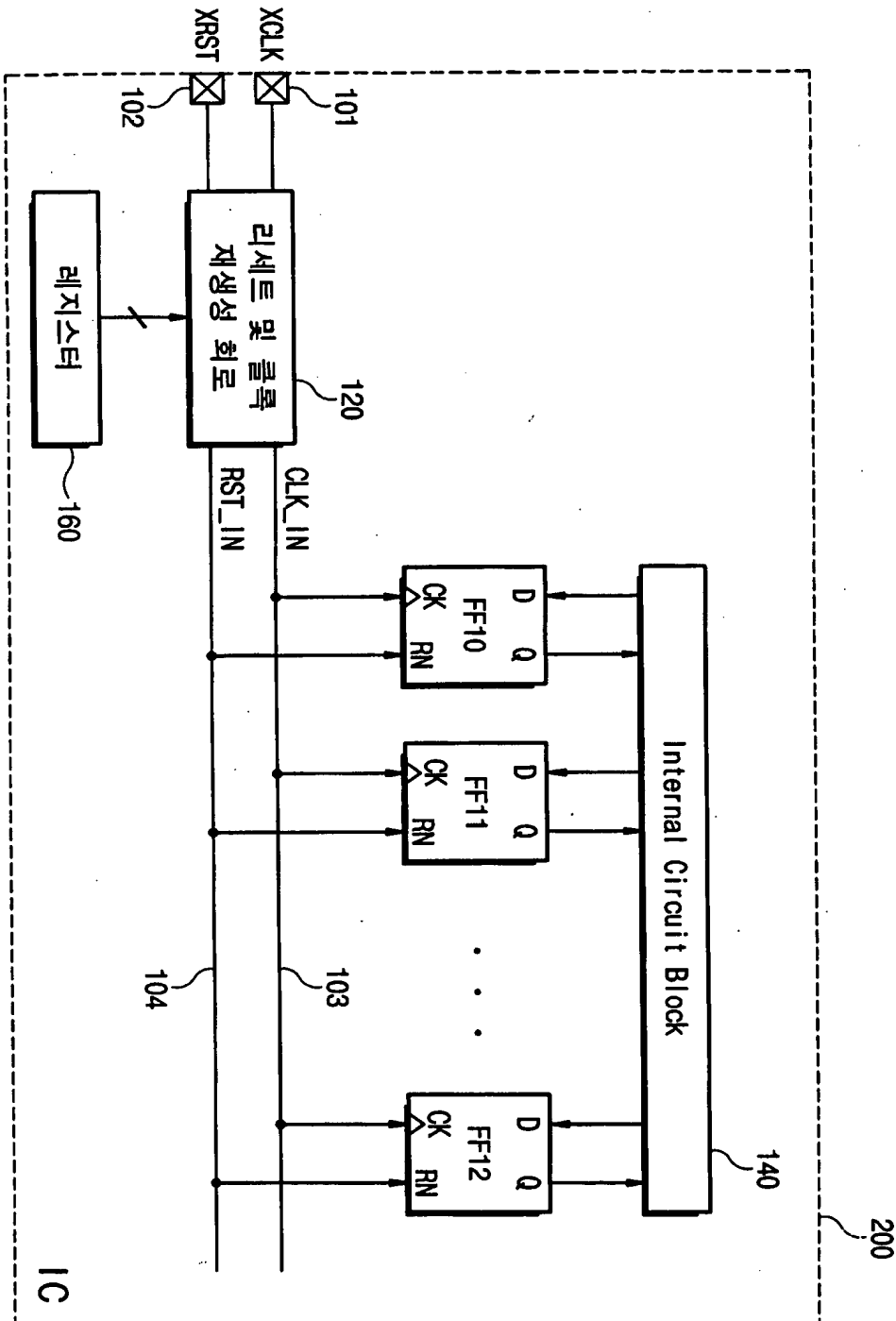
【도 9】



【도 10】



【도 11】



【도 12】

